

第12章 时序逻辑电路

双稳态触发器

触发器是构成时序逻辑电路的基本逻辑部件。

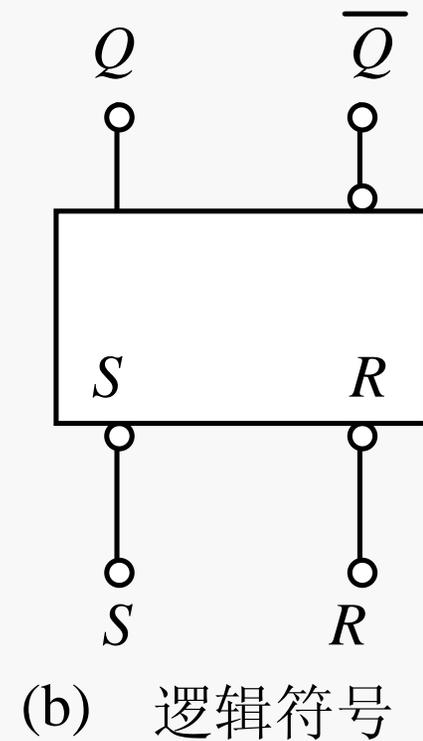
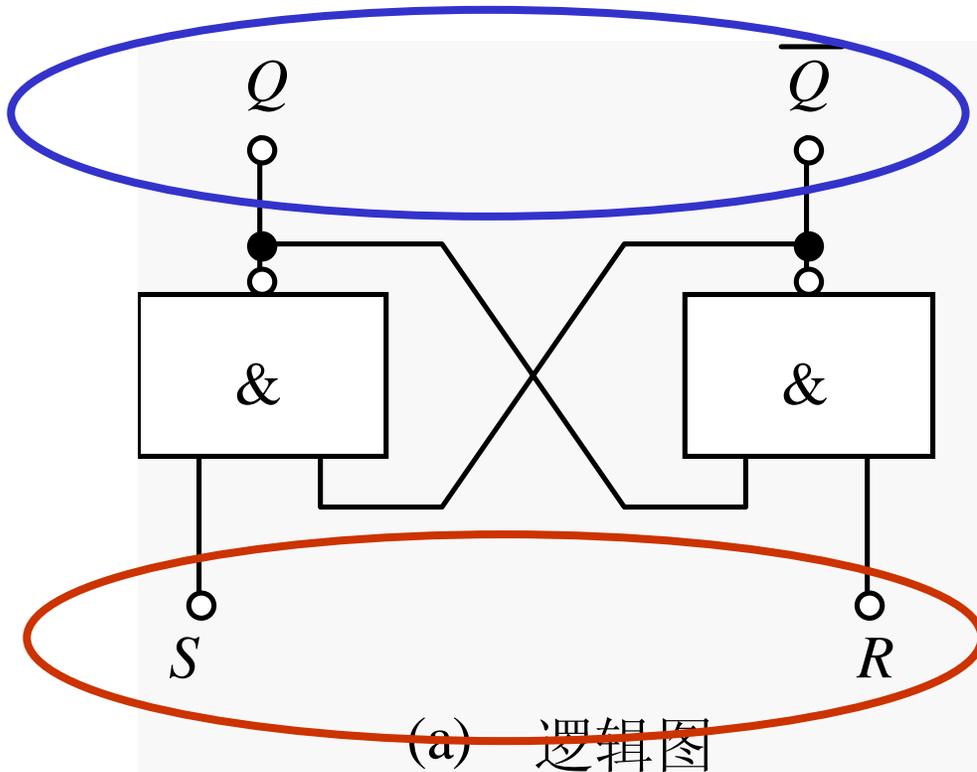
- ★ 它有两个稳定的状态：0状态和1状态；
- ★ 在不同的输入情况下，它可以被置成0状态或1状态；
- ★ 当输入信号消失后，所置成的状态能够保持不变。

所以，触发器可以记忆1位二值信号。根据逻辑功能的不同，触发器可以分为RS触发器、D触发器、JK触发器、T和T'触发器；按照结构形式的不同，又可分为基本RS触发器、同步触发器、主从触发器和边沿触发器。

基本RS触发器

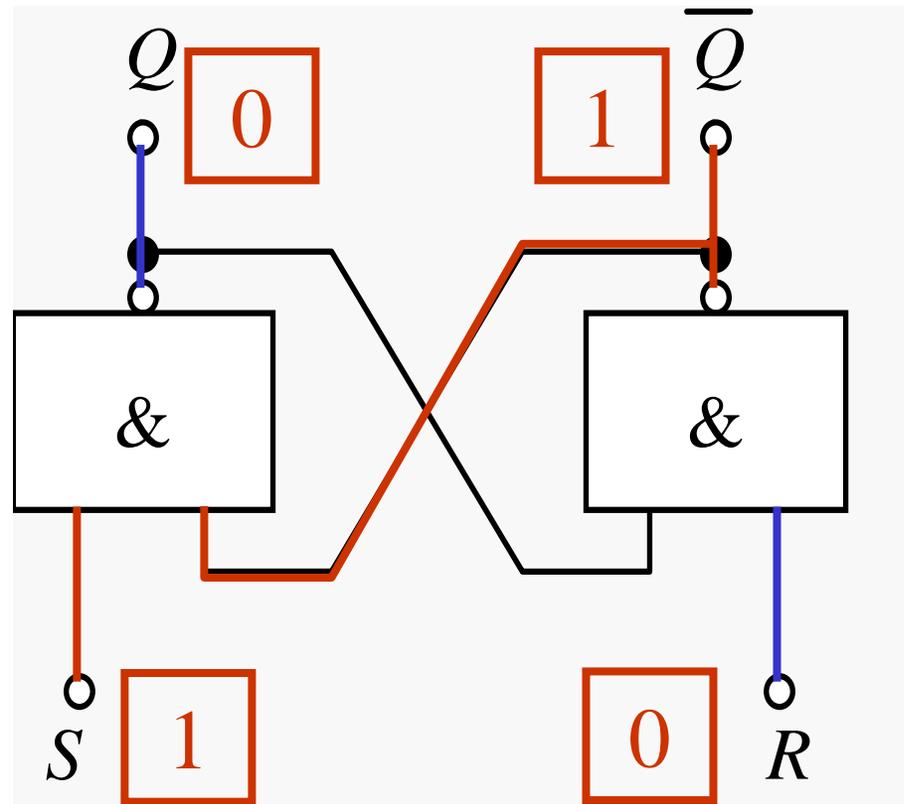
信号输出端， $Q=0$ 、 $\overline{Q}=1$ 的状态称0状态， $Q=1$ 、 $\overline{Q}=0$ 的状态称1状态，

电路组成和逻辑符号



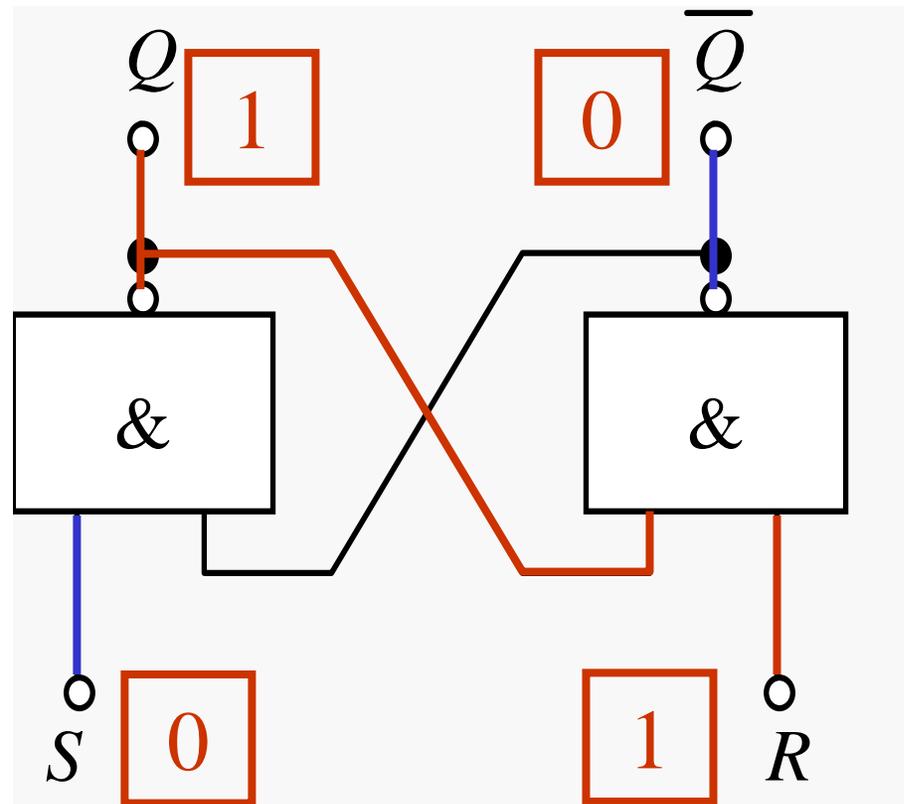
信号输入端，低电平有效。

工作原理



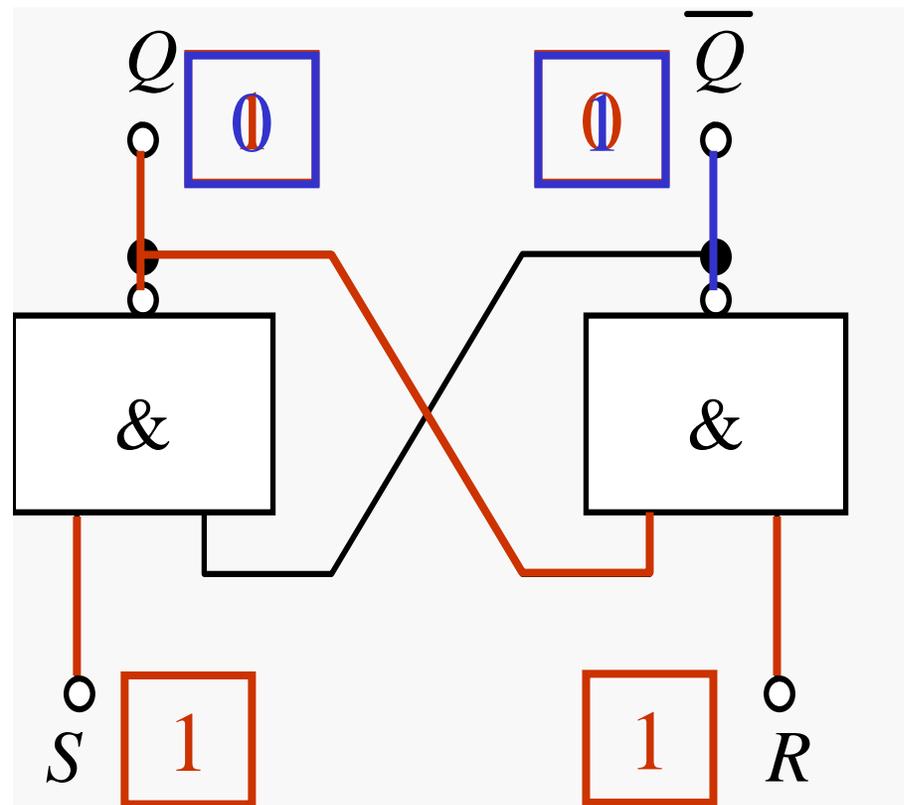
R	S	Q
0	1	0

①R=0、S=1时：由于R=0，不论原来Q为0还是1，都有 $\bar{Q}=1$ ；再由S=1、 $\bar{Q}=1$ 可得Q=0。即不论触发器原来处于什么状态都将变成0状态，这种情况称将触发器置0或复位。R端称为触发器的置0端或复位端。



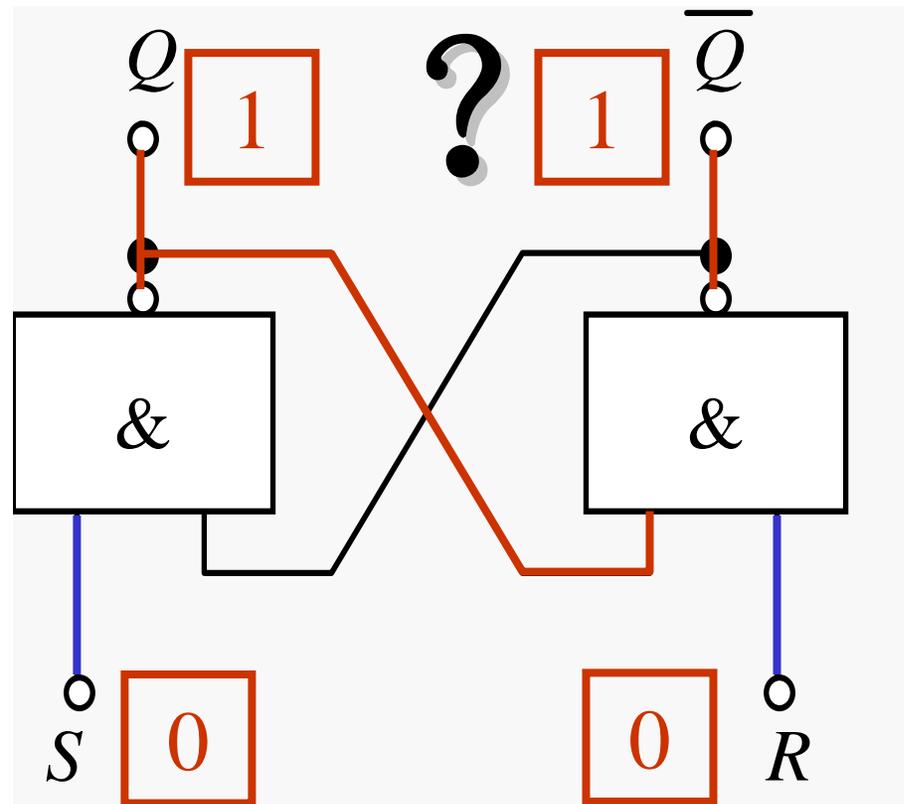
R	S	Q
0	1	0
1	0	1

② $R=1$ 、 $S=0$ 时：由于 $S=0$ ，不论原来 \bar{Q} 为0还是1，都有 $Q=1$ ；再由 $R=1$ 、 $Q=1$ 可得 $\bar{Q}=0$ 。即不论触发器原来处于什么状态都将变成1状态，这种情况称将触发器置1或置位。 S 端称为触发器的置1端或置位端。



R	S	Q
0	1	0
1	0	1
1	1	不变

③ $R=1$ 、 $S=1$ 时：根据与非门的逻辑功能不难推知，触发器保持原有状态不变，即原来的状态被触发器存储起来，这体现了触发器具有记忆能力。



R	S	Q
0	1	0
1	0	1
1	1	不变
0	0	不定

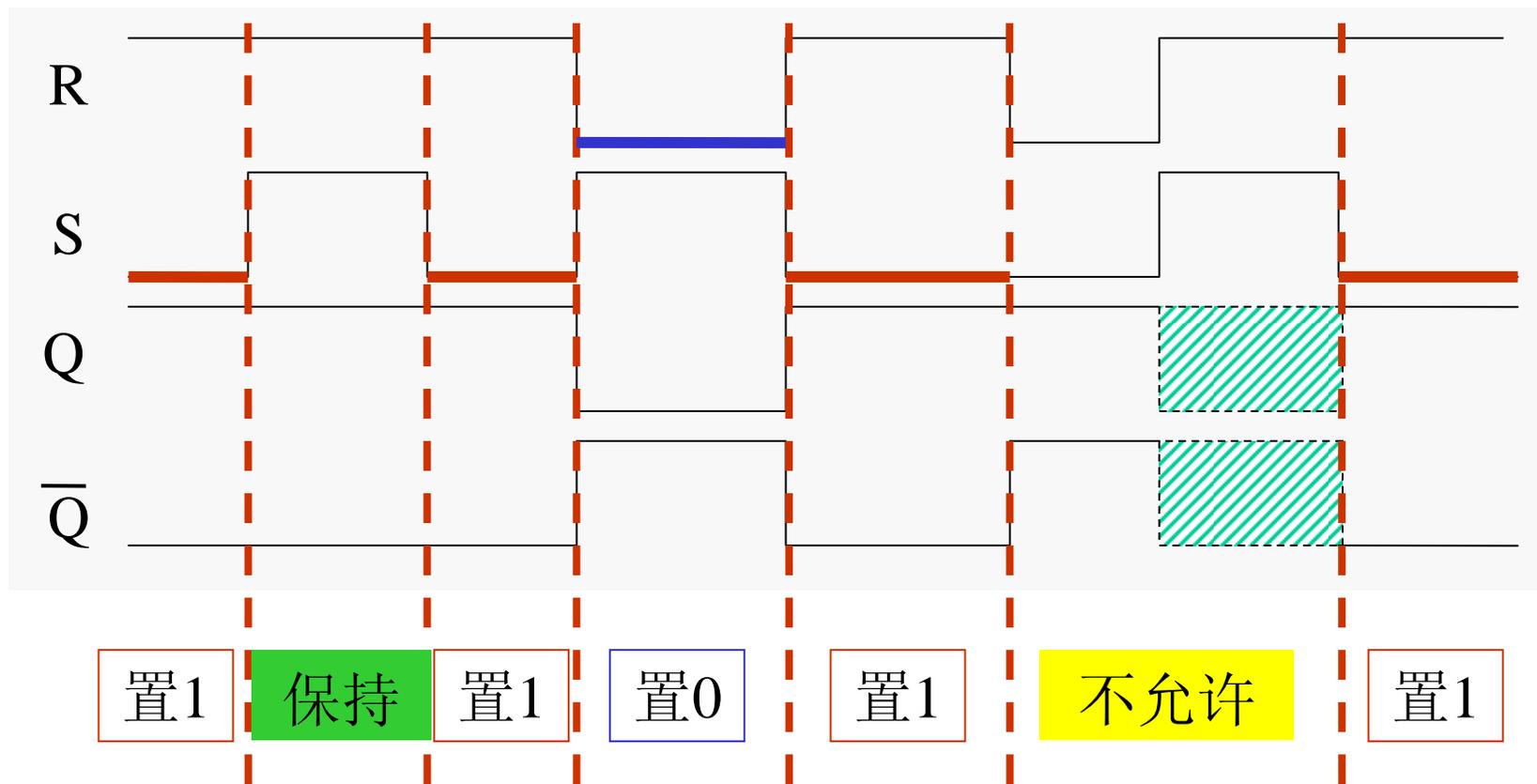
④ $R=0$ 、 $S=0$ 时： $Q=\bar{Q}=1$ ，不符合触发器的逻辑关系。并且由于与非门延迟时间不可能完全相等，在两输入端的0同时撤除后，将不能确定触发器是处于1状态还是0状态。所以触发器不允许出现这种情况，这就是基本RS触发器的约束条件。

功能表

R	S	Q	功能
0	0	不定	不允许
0	1	0	置 0
1	0	1	置 1
1	1	不变	保持

波形图

反映触发器输入信号取值和状态之间对应关系的图形称为
波形图

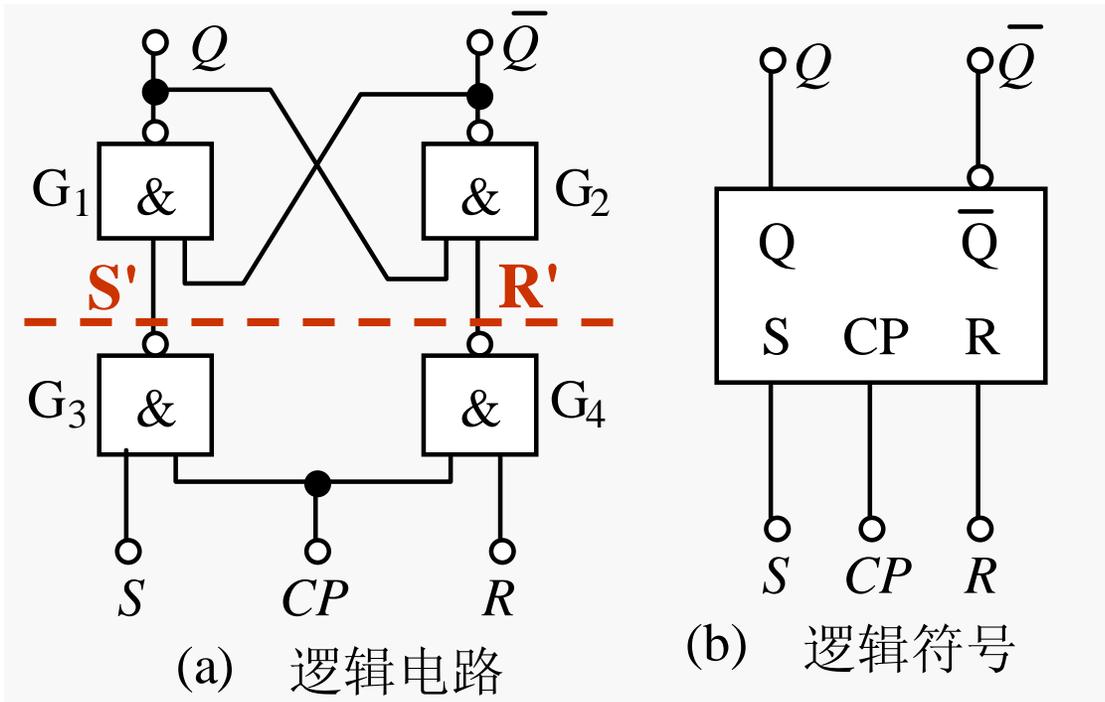


基本RS触发器的特点

- (1) 触发器的次态不仅与输入信号状态有关，而且与触发器的现态有关。
- (2) 电路具有两个稳定状态，在无外来触发信号作用时，电路将保持原状态不变。
- (3) 在外加触发信号有效时，电路可以触发翻转，实现置0或置1。
- (4) 在稳定状态下两个输出端的状态和必须是互补关系，即有约束条件。

在数字电路中，凡根据输入信号 R 、 S 情况的不同，具有置0、置1和保持功能的电路，都称为RS触发器。

同步RS触发器



CP=0时，R'=S'=1，触发器保持原来状态不变。
CP=1时，工作情况与基本RS触发器相同。

功能表

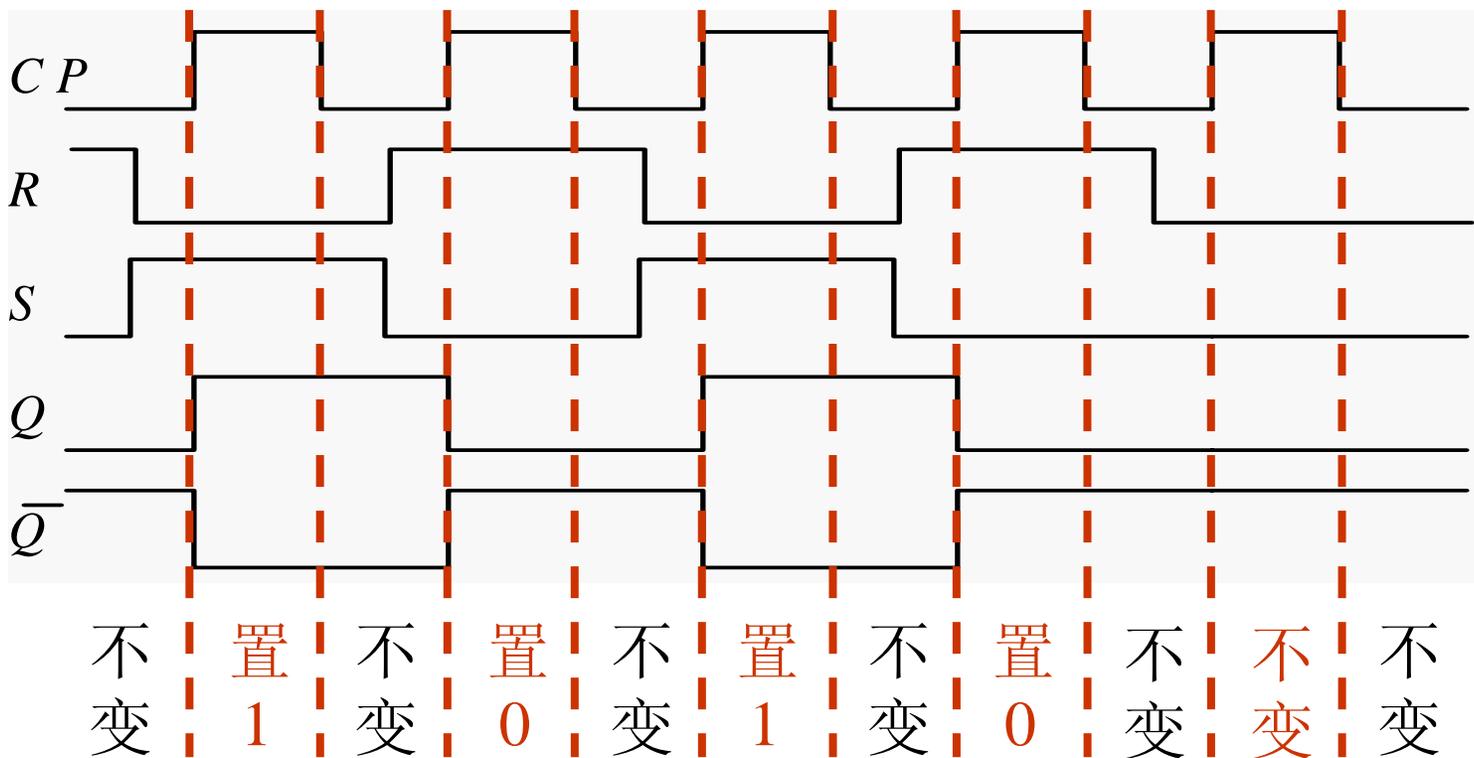
CP	R	S	Q^{n+1}	功能
0	×	×	Q^n	保持
1	0	0	Q^n	保持
1	0	1	1	置1
1	1	0	0	置0
1	1	1	不定	不允许

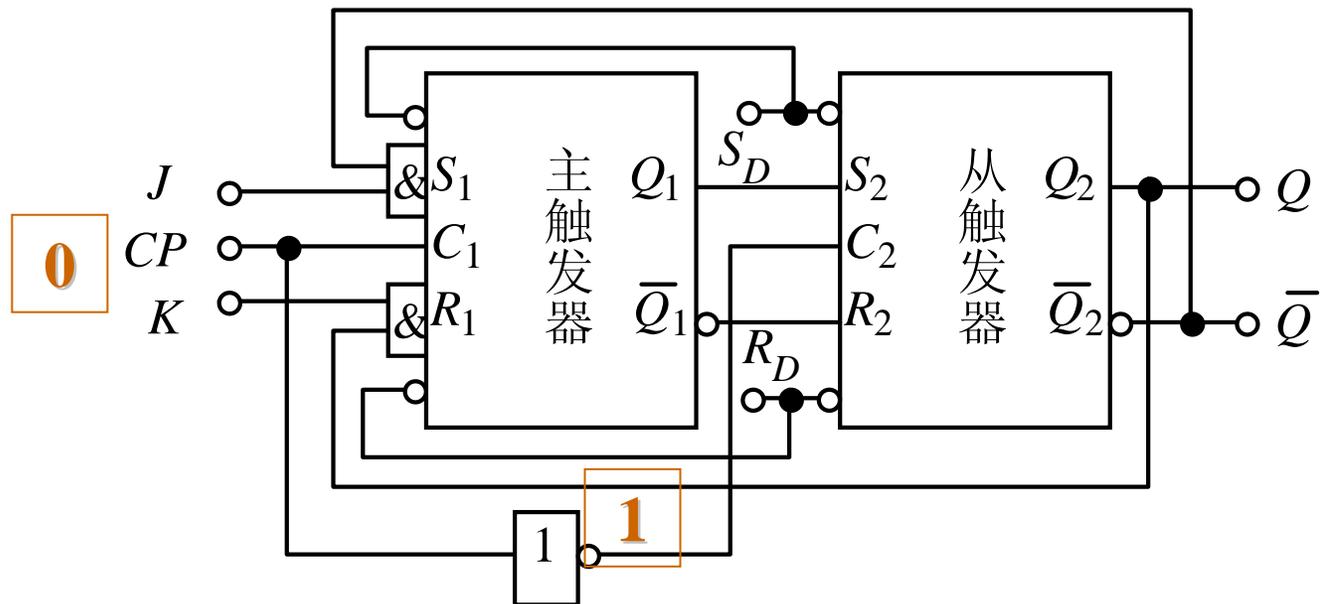
主要特点

(1) 时钟电平控制。在 $CP=1$ 期间接收输入信号， $CP=0$ 时状态保持不变，与基本 RS 触发器相比，对触发器状态的转变增加了时间控制。

(2) R 、 S 之间有约束。不能允许出现 R 和 S 同时为1的情况，否则会使触发器处于不确定的状态。

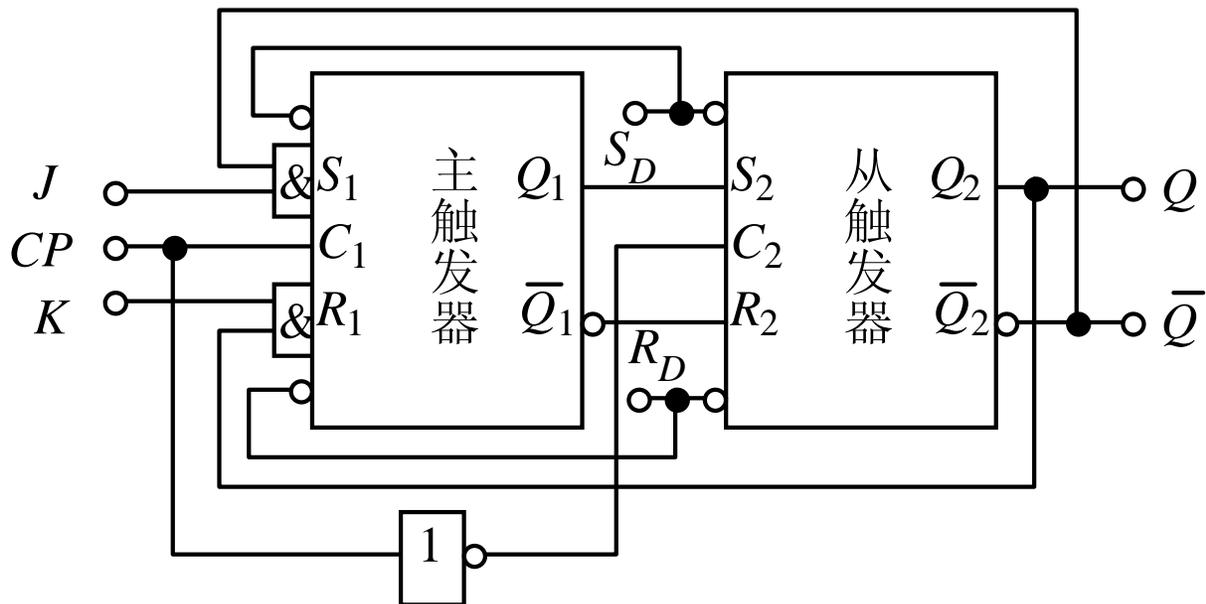
波形图





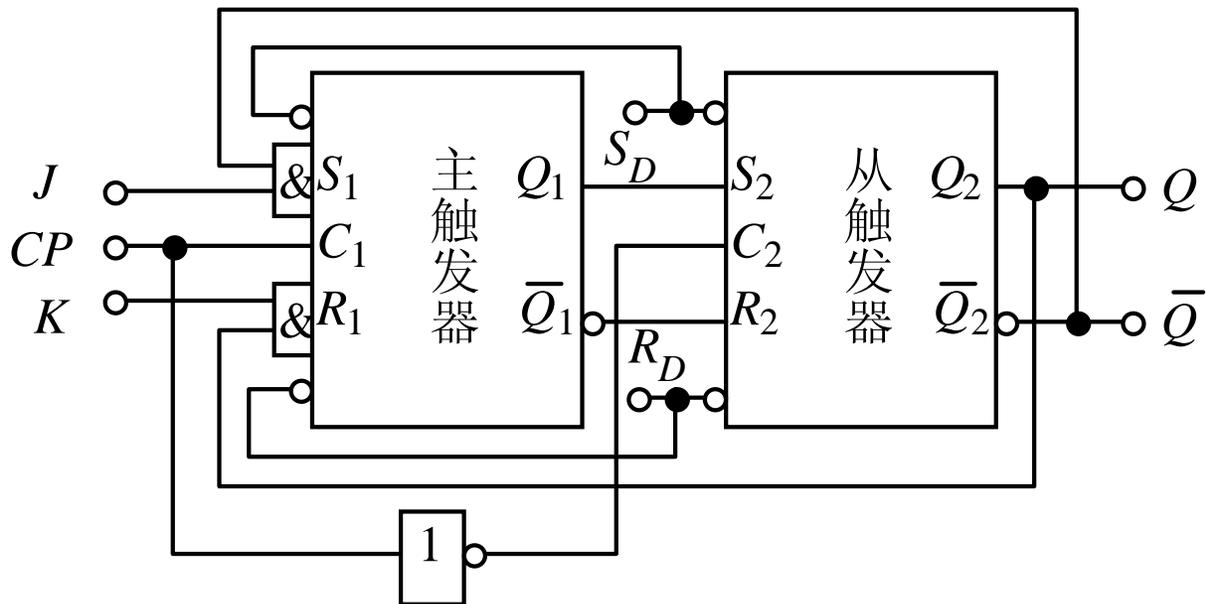
(2) 输出信号过程

当 CP 下降沿到来时，即 CP 由1变为0时，主触发器被封锁，无论输入信号如何变化，对主触发器均无影响，即在 $CP=1$ 期间接收的内容被存储起来。同时，由于 \overline{CP} 由0变为1，从触发器被打开，可以接收由主触发器送来的信号，其输出状态由主触发器的输出状态决定。在 $CP=0$ 期间，由于主触发器保持状态不变，因此受其控制的从触发器的状态也即 Q 、 \overline{Q} 的值当然不可能改变。

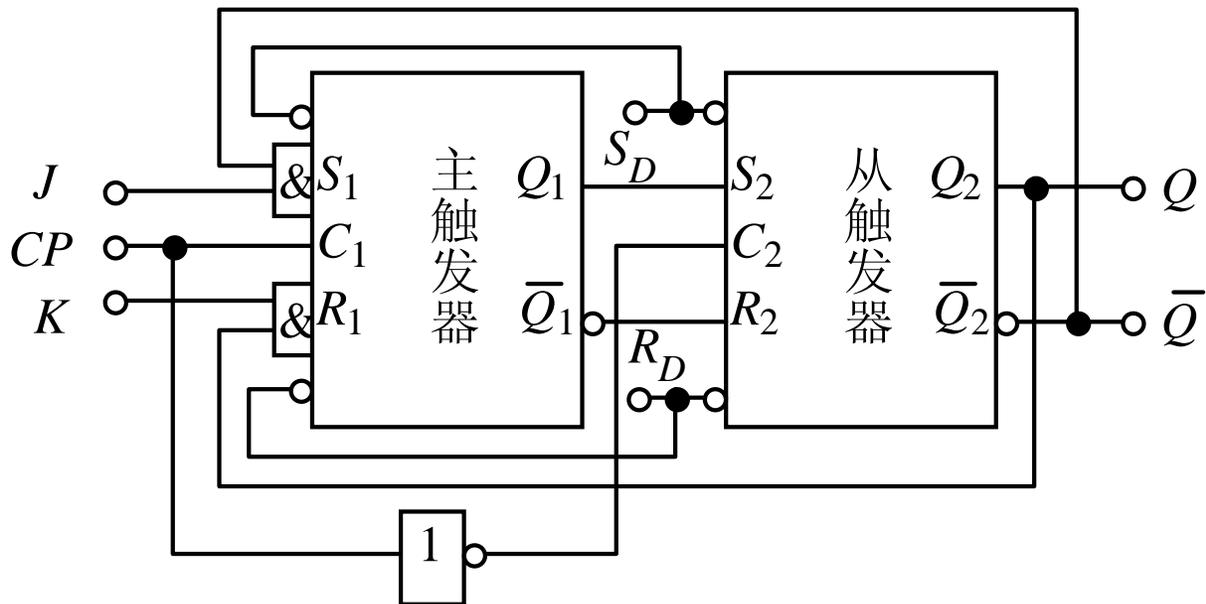


逻辑功能分析

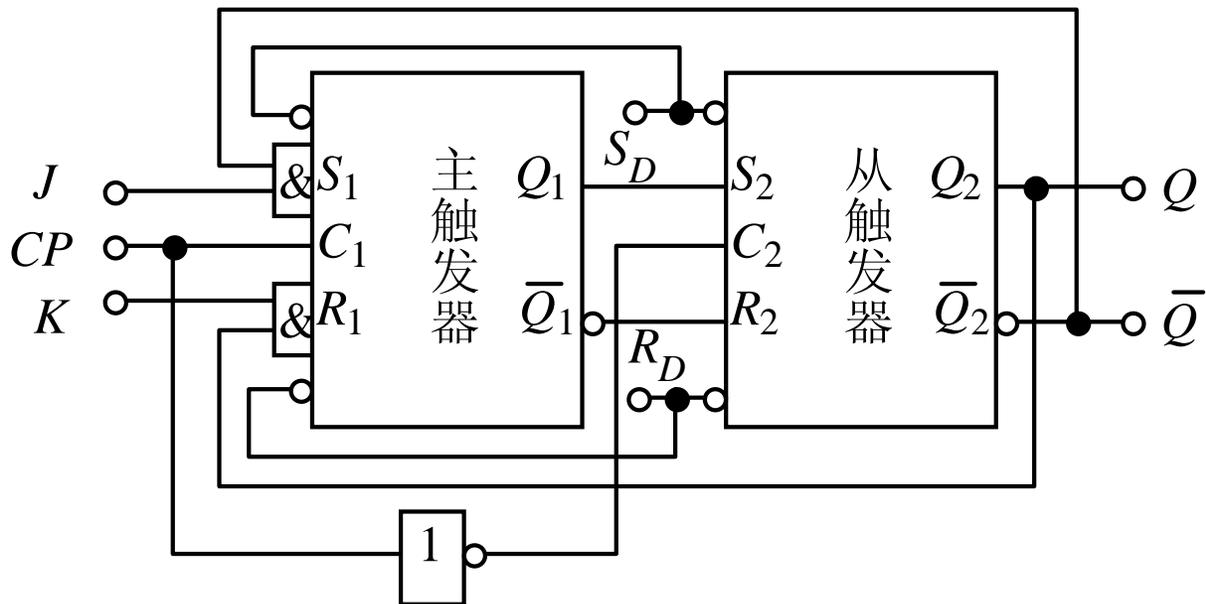
(1) $J = 0$ 、 $K = 0$ 。设触发器的初始状态为 0，此时主触发器的 $R_1 = KQ = 0$ 、 $S_1 = J\bar{Q} = 0$ ，在 $CP = 1$ 时主触发器状态保持 0 状态不变；当 CP 从 1 变 0 时，由于从触发器的 $R_2 = 1$ 、 $S_2 = 0$ ，也保持为 0 状态不变。如果触发器的初始状态为 1，当 CP 从 1 变 0 时，触发器则保持 1 状态不变。可见不论触发器原来的状态如何，当 $J = K = 0$ 时，触发器的状态均保持不变，即 $Q^{n+1} = Q^n$ 。



(2) $J = 0$ 、 $K = 1$ 。设触发器的初始状态为 0，此时主触发器的 $R_1 = 0$ 、 $S_1 = 0$ ，在 $CP = 1$ 时主触发器保持为 0 状态不变；当 CP 从 1 变 0 时，由于从触发器的 $R_2 = 1$ 、 $S_2 = 0$ ，从触发器也保持为 0 状态不变。如果触发器的初始状态为 1，则由于 $R_1 = 1$ 、 $S_1 = 0$ ，在 $CP = 1$ 时将主触发器翻转为 0 状态；当 CP 从 1 变 0 时，由于从触发器的 $R_2 = 1$ 、 $S_2 = 0$ ，从触发器状态也翻转为 0 状态。可见不论触发器原来的状态如何，当 $J = 0$ 、 $K = 1$ 时，输入 CP 脉冲后，触发器的状态均为 0 状态，即 $Q^{n+1} = 0$ 。



(3) $J = 1$ 、 $K = 0$ 。设触发器的初始状态为 0，此时主触发器的 $R_1 = 0$ 、 $S_1 = 1$ ，在 $CP = 1$ 时主触发器翻转为 1 状态；当 CP 从 1 变 0 时，由于从触发器的 $R_2 = 0$ 、 $S_2 = 1$ ，故从触发器也翻转为 1 状态。如果触发器的初始状态为 1，则由于 $R_1 = 0$ 、 $S_1 = 0$ ，在 $CP = 1$ 时主触发器状态保持 1 状态不变；当 CP 从 1 变 0 时，由于从触发器的 $R_2 = 0$ 、 $S_2 = 1$ ，从触发器状态也保持 0 状态不变。可见不论触发器原来的状态如何，当 $J = 1$ 、 $K = 0$ 时，输入 CP 脉冲后，触发器的状态均为 1 状态，即 $Q^{n+1} = 1$ 。

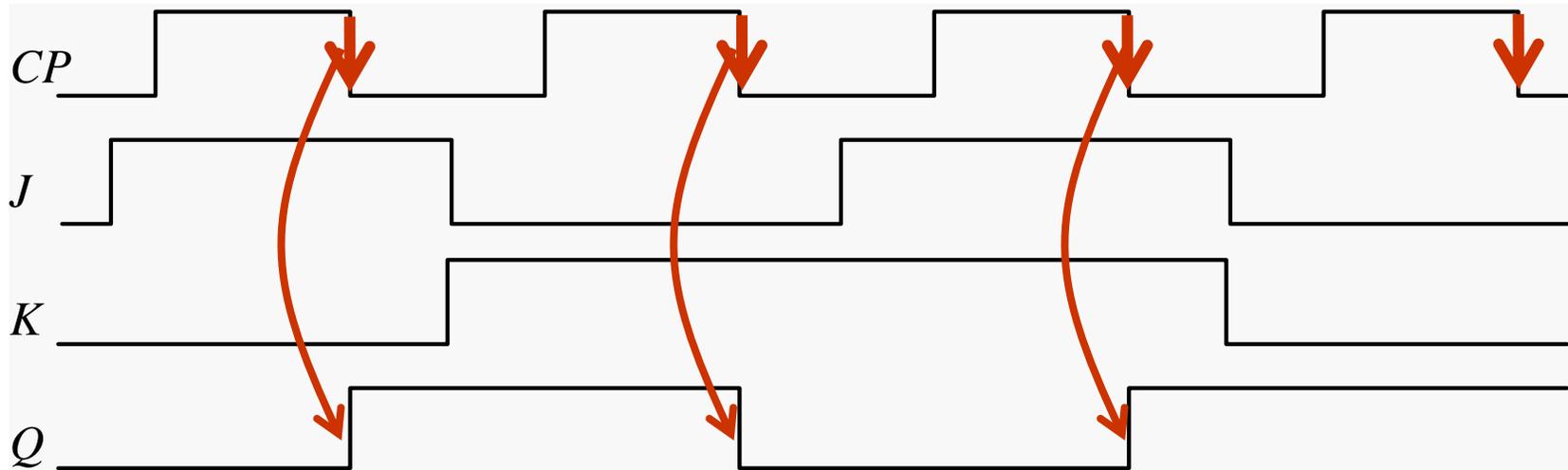


(4) $J=1$ 、 $K=1$ 。设触发器的初始状态为 0，此时主触发器的 $R_1=0$ 、 $S_1=1$ ，在 $CP=1$ 时主触发器翻转为 1 状态；当 CP 从 1 变 0 时，由于从触发器的 $R_2=0$ 、 $S_2=1$ ，故从触发器也翻转为 1 状态。如果触发器的初始状态为 1，则由于 $R_1=1$ 、 $S_1=0$ ，在 $CP=1$ 时将主触发器翻转为 0 状态；当 CP 从 1 变 0 时，由于从触发器的 $R_2=1$ 、 $S_2=0$ ，故从触发器也翻转为 0 状态。可见当 $J=K=1$ 时，输入 CP 脉冲后，触发器状态必定与原来的状态相反，即 $Q^{n+1} = \bar{Q}^n$ 。由于每来一个 CP 脉冲触发器状态翻转一次，故这种情况下触发器具有计数功能。

功能表

J	K	Q^{n+1}	功能
0	0	Q^n	保持
0	1	0	置 0
1	0	1	置 1
1	1	\overline{Q}^n	翻转

波形图



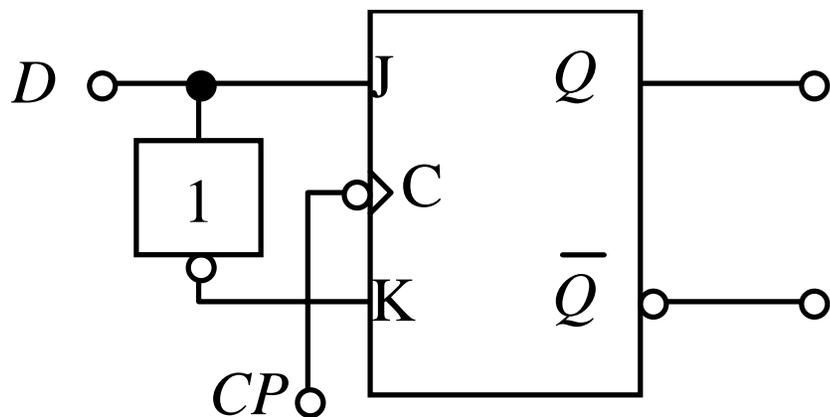
触发器逻辑功能的转换

在双稳态触发器中，除了RS触发器和JK触发器外，根据电路结构和工作原理的不同，还有众多具有不同逻辑功能的触发器。根据实际需要，可将某种逻辑功能的触发器经过改接或附加一些门电路后，转换为另一种逻辑功能的触发器。

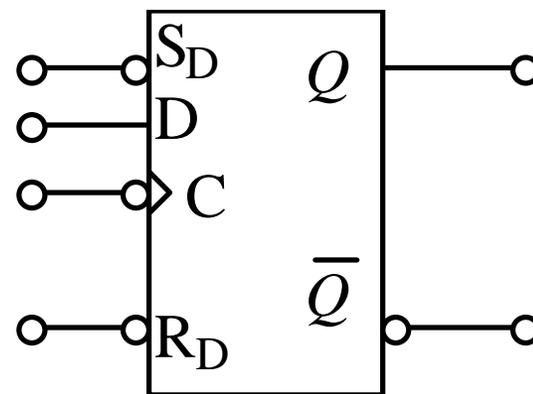
JK触发器→D触发器

D 触发器的功能表

D	Q^{n+1}	功能
0	0	置 0
1	1	置 1



(a) 电路



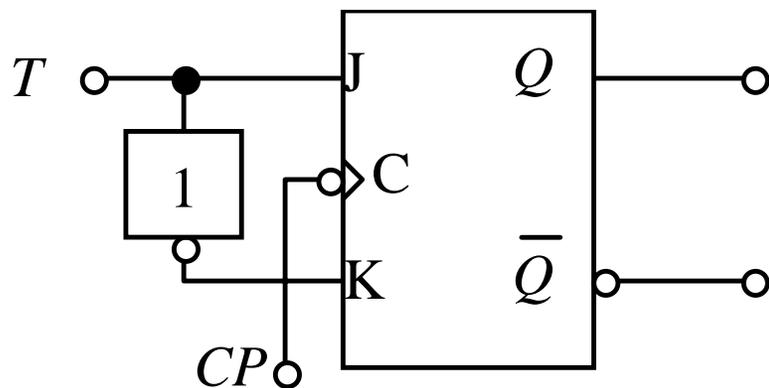
(b) 逻辑符号

D 触发器的构成及其逻辑符号

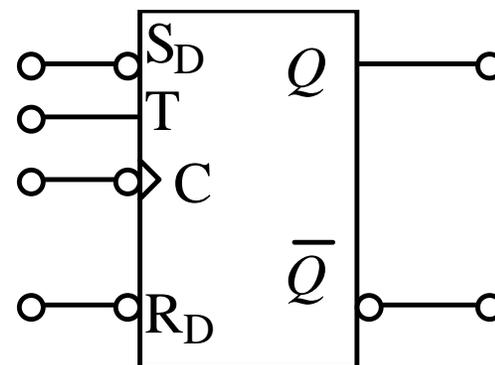
JK触发器→T触发器

T 触发器的功能表

T	Q^{n+1}	功能
0	Q^n	保持
1	\overline{Q}^n	翻转



(a) 电路

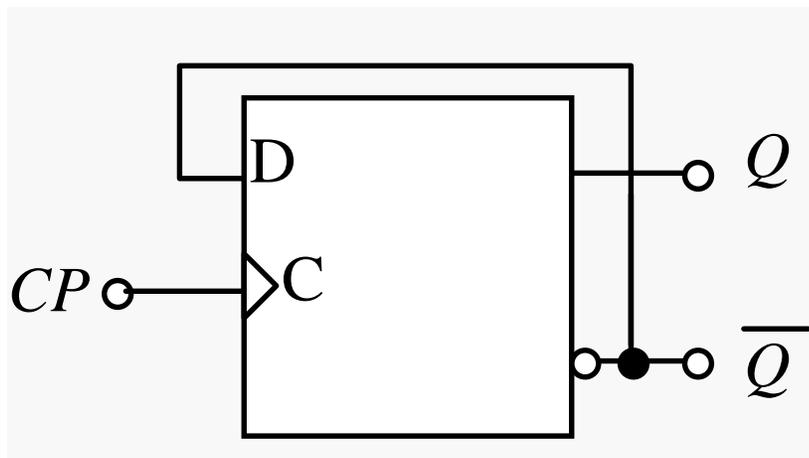


(b) 逻辑符号

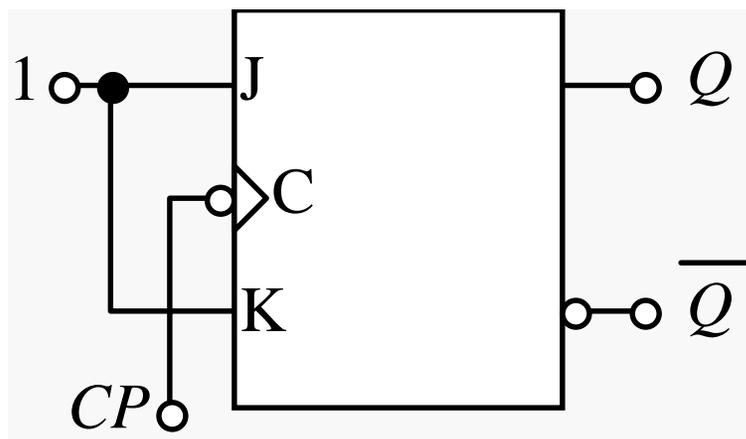
T 触发器的构成及其逻辑符号

T' 触发器的逻辑功能：每来一个时钟脉冲翻转一次。

D触发器 \rightarrow T' 触发器



JK触发器 \rightarrow T' 触发器



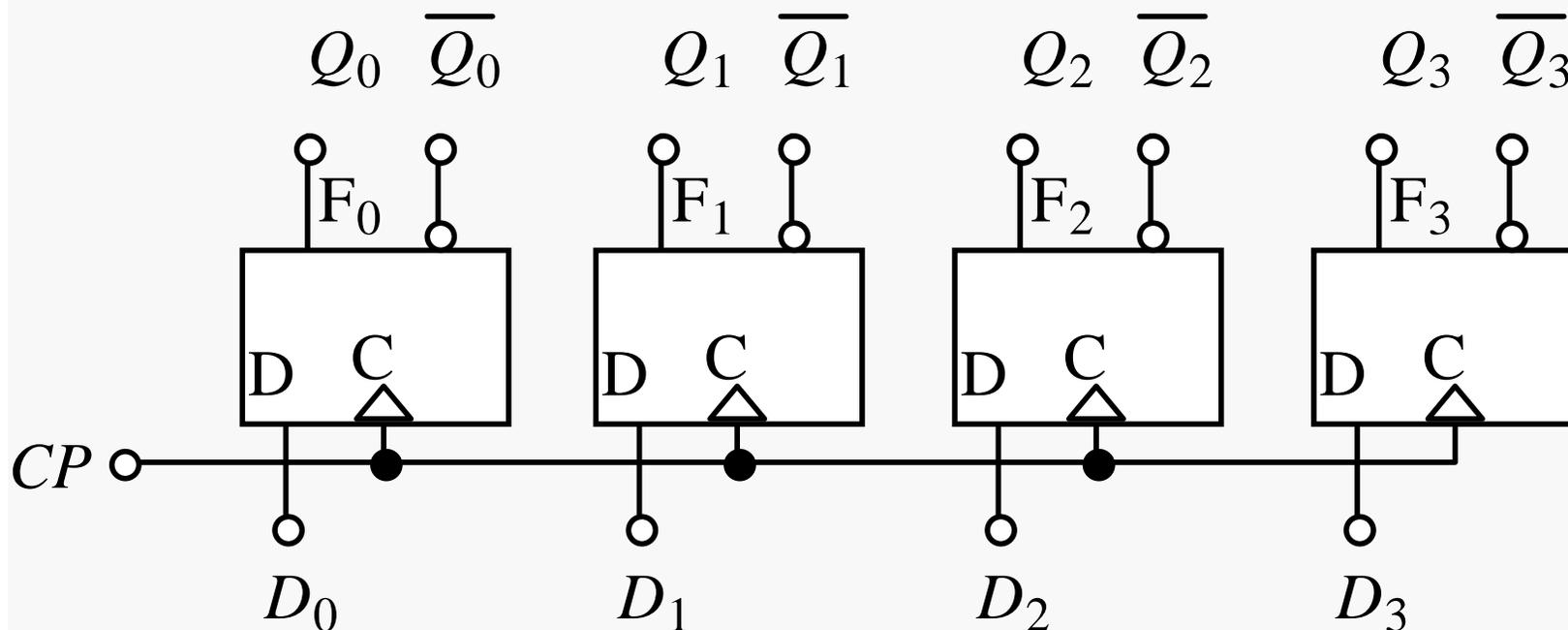
寄存器

在数字电路中，用来存放二进制数据或代码的电路称为寄存器。

寄存器是由具有存储功能的触发器组合起来构成的。一个触发器可以存储1位二进制代码，存放 n 位二进制代码的寄存器，需用 n 个触发器来构成。

按照功能的不同，可将寄存器分为数码寄存器和移位寄存器两大类。数码寄存器只能并行送入数据，需要时也只能并行输出。移位寄存器中的数据可以在移位脉冲作用下依次逐位右移或左移，数据既可以并行输入、并行输出，也可以串行输入、串行输出，还可以并行输入、串行输出，串行输入、并行输出，十分灵活，用途也很广。

数码寄存器



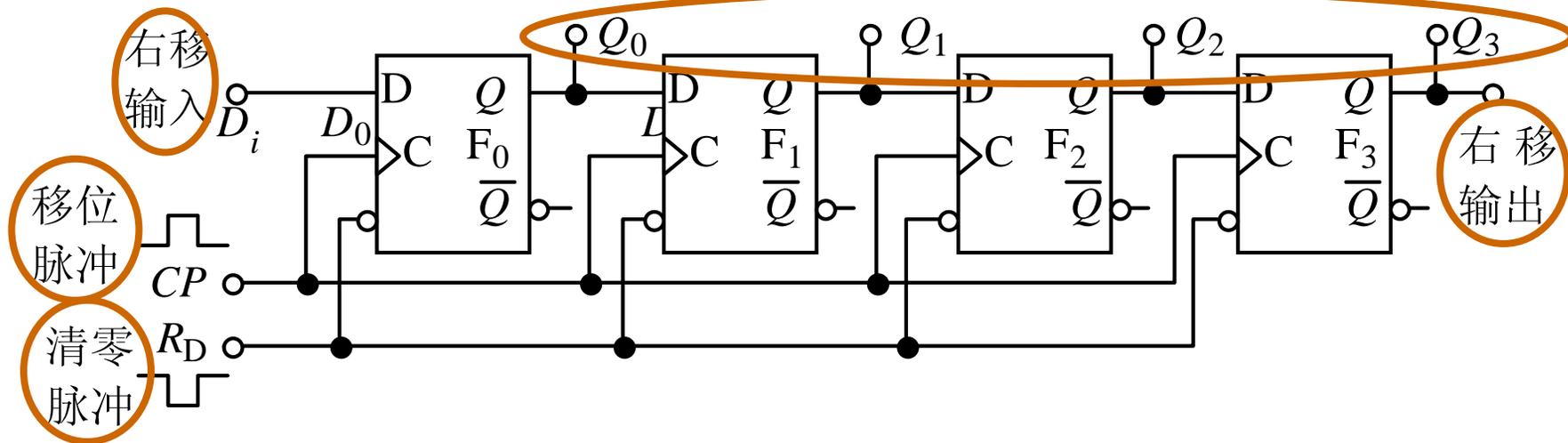
无论寄存器中原来的内容是什么，只要送数控制时钟脉冲 CP 上升沿到来，加在并行数据输入端的数据 $D_0 \sim D_3$ ，就立即被送入寄存器中，即有：

$$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1} = D_3 D_2 D_1 D_0$$

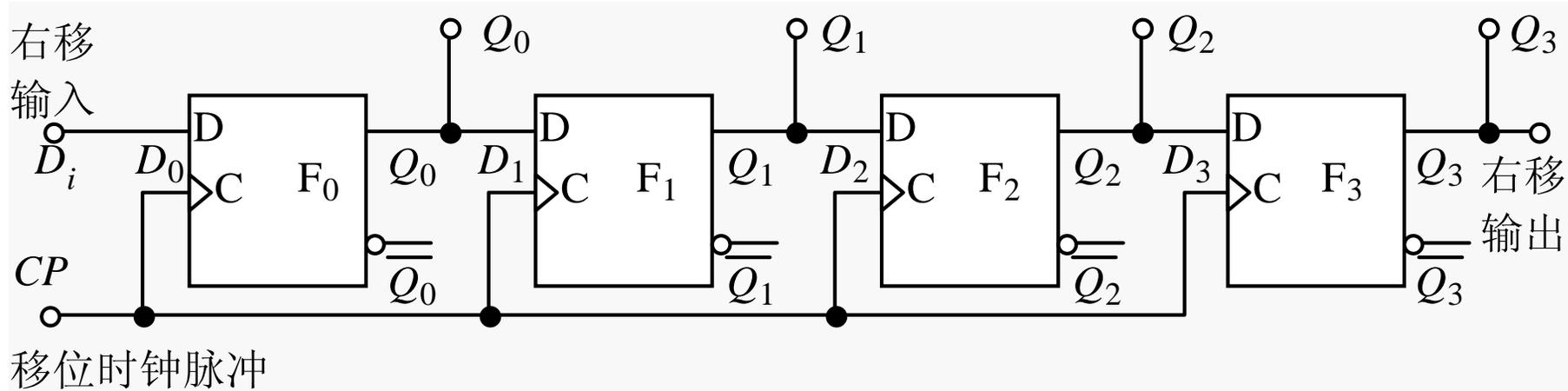
移位寄存器

1、4位右移移位寄存器

并行输出



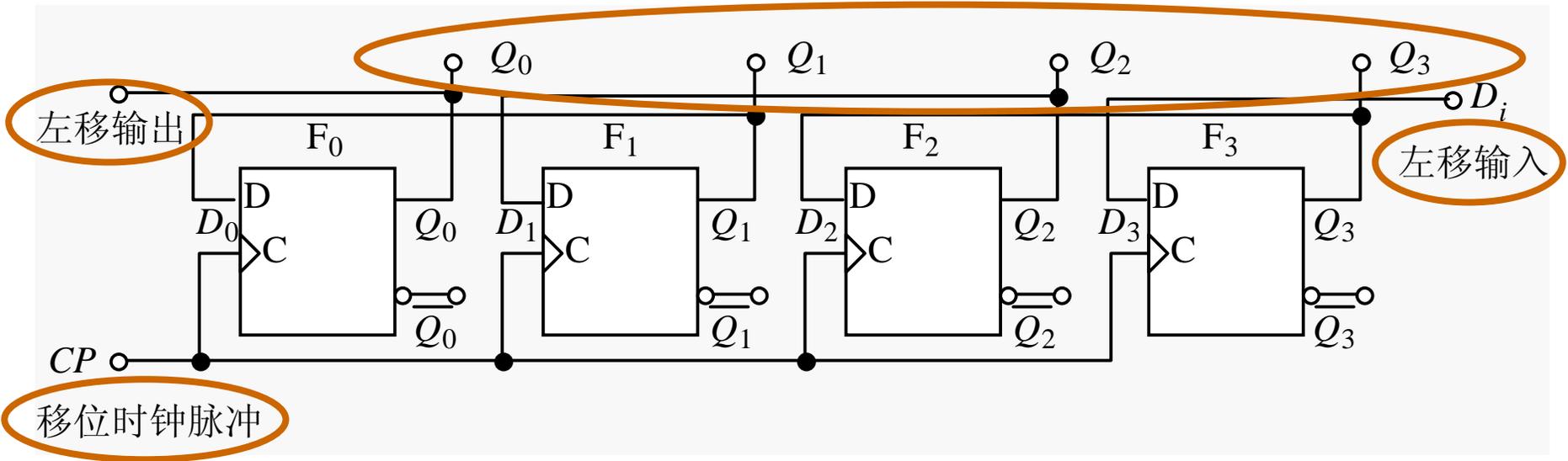
在存数操作之前，先用 R_D （负脉冲）将各个触发器清零。当出现第1个移位脉冲时，待存数码的最高位和4个触发器的数码同时右移1位，即待存数码的最高位存入 Q_0 ，而寄存器原来所存数码的最高位从 Q_3 输出；出现第2个移位脉冲时，待存数码的次高位和寄存器中的4位数码又同时右移1位。依此类推，在4个移位脉冲作用下，寄存器中的4位数码同时右移4次，待存的4位数码便可存入寄存器。



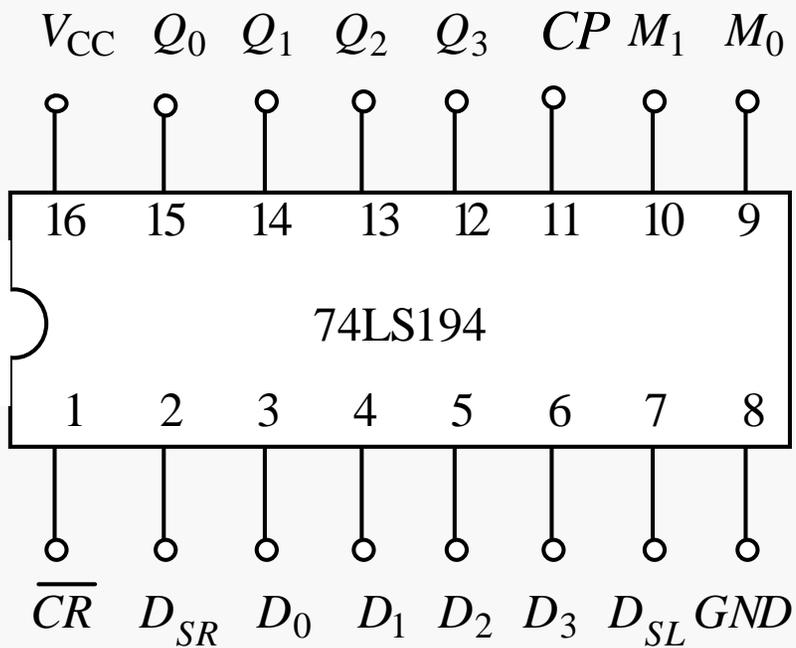
输入		现态				次态				说明
D_i	CP	Q_0^n	Q_1^n	Q_2^n	Q_3^n	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}	
1	↑	0	0	0	0	1	0	0	0	连续输入 4个1
1	↑	1	0	0	0	1	1	0	0	
1	↑	1	1	0	0	1	1	1	0	
1	↑	1	1	1	0	1	1	1	1	

2、4位左移移位寄存器

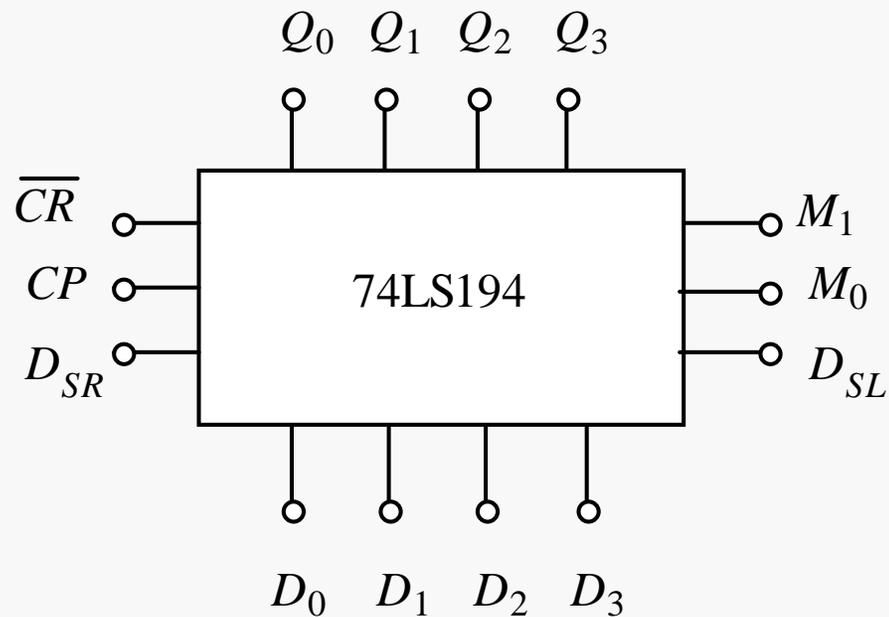
并行输出



输入		现态				次态				说明
D_i	CP	Q_0^n	Q_1^n	Q_2^n	Q_3^n	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}	
1	↑	0	0	0	0	0	0	0	1	连续输入 4个1
1	↑	1	0	0	0	0	0	1	1	
1	↑	1	1	0	0	0	1	1	1	
1	↑	1	1	1	0	1	1	1	1	



(a) 引脚排列图

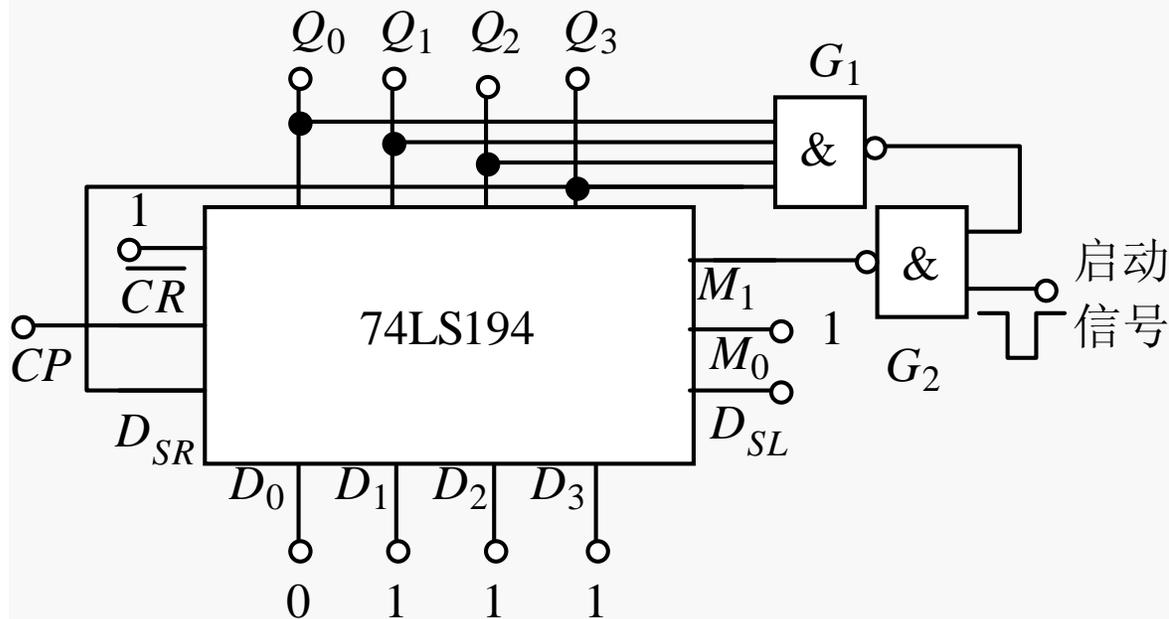


(b) 逻辑功能示意图

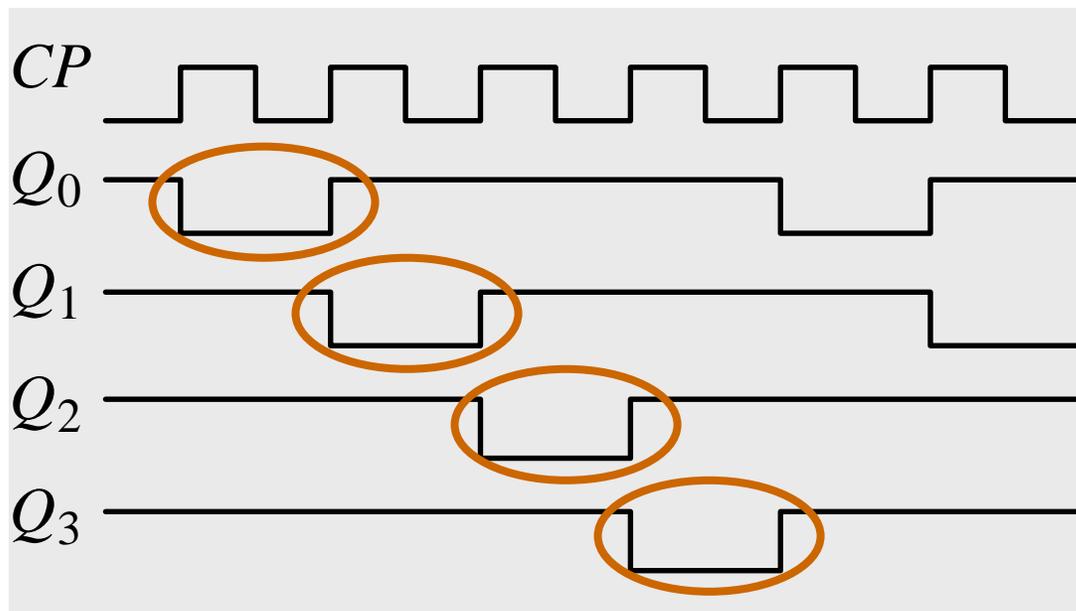
3、
集成双向移位寄存器
74LS194

\overline{CR}	M_1	M_0	CP	工作状态
0	×	×	×	异步清零
1	0	0	×	保持
1	0	1	↑	右移
1	1	0	↑	左移
1	1	1	×	并行输入

由74LS194
构成的能自
启动的4位
环形计数器

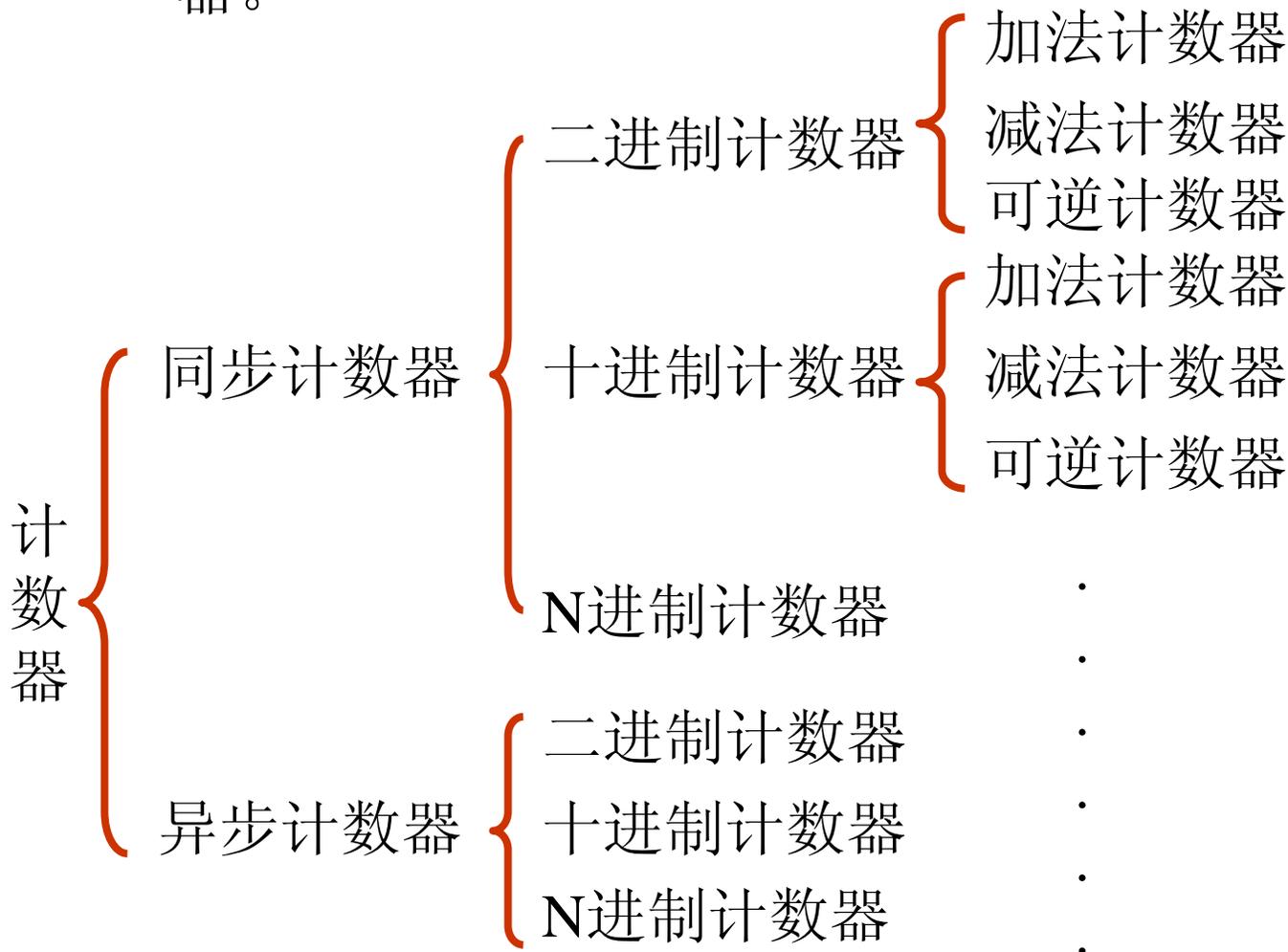


波形图



计数器

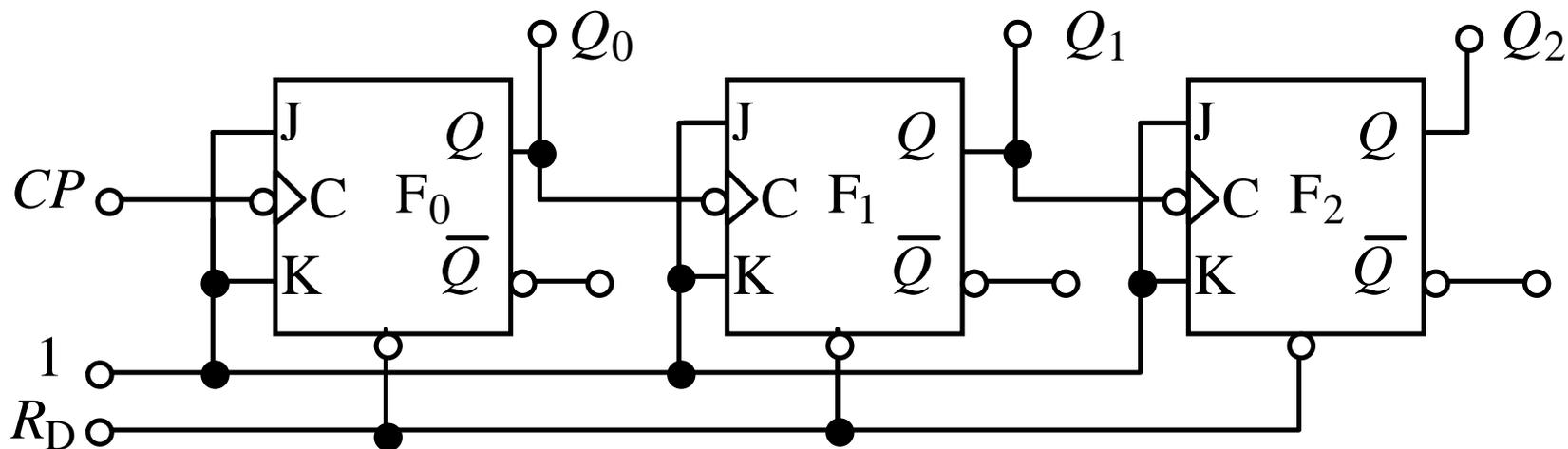
能够记忆输入脉冲个数的电路称为计数器。



二进制计数器

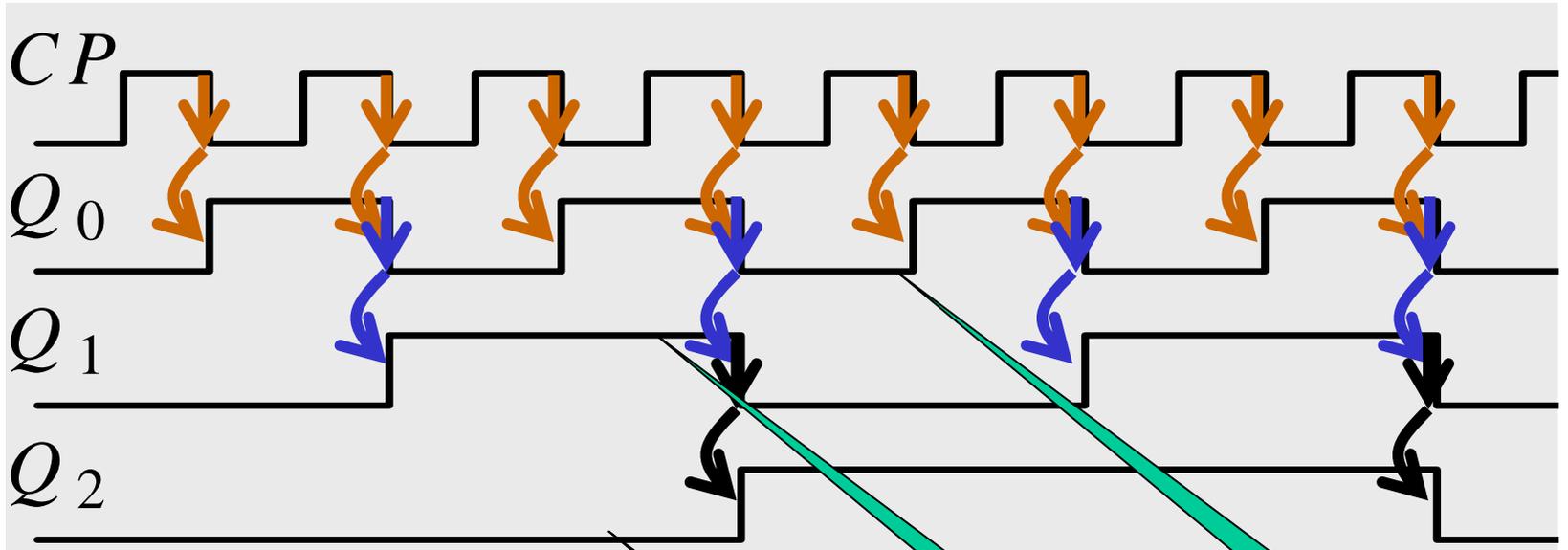
1、异步二进制计数器

3位异步二进制加法计数器



由于3个触发器都接成了 T' 触发器，所以最低位触发器 F_0 每来一个时钟脉冲的下降沿（即 CP 由1变0）时翻转一次，而其他两个触发器都是在其相邻低位触发器的输出端 Q 由1变0时翻转，即 F_1 在 Q_0 由1变0时翻转， F_2 在 Q_1 由1变0时翻转。

波形图



F_0 每输入一个时钟脉冲
翻转一次。

F_1 在 Q_0 由 1 变 0 时翻

转。

F_2 在 Q_1 由 1 变 0 时翻转。

二分频

四分频

八分频

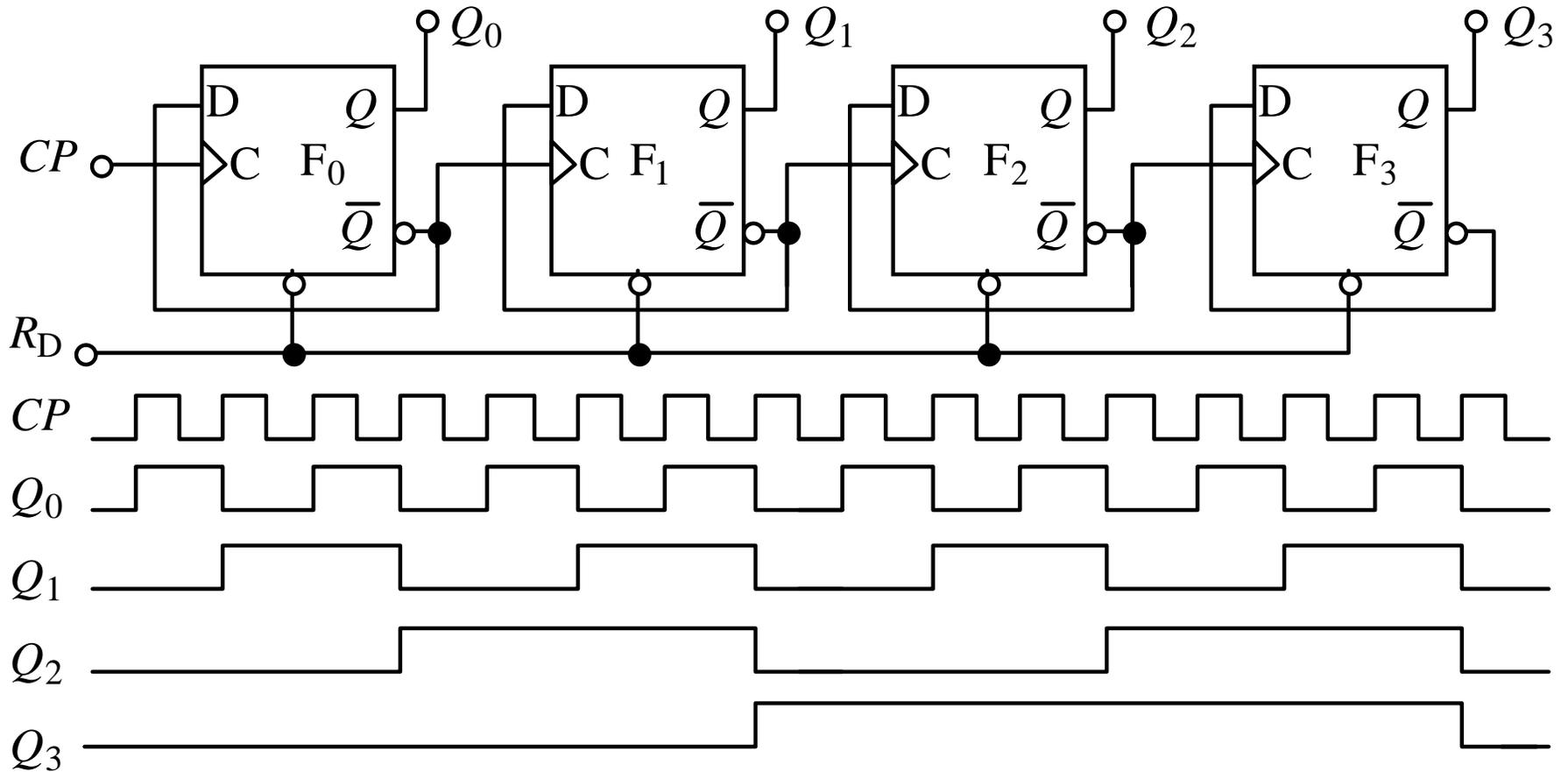
状态表

计数脉冲	Q_2	Q_1	Q_0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0

从状态表或波形图可以看出，从状态000开始，每来一个计数脉冲，计数器中的数值便加1，输入8个计数脉冲时，就计满归零，所以作为整体，该电路也可称为八进制计数器。

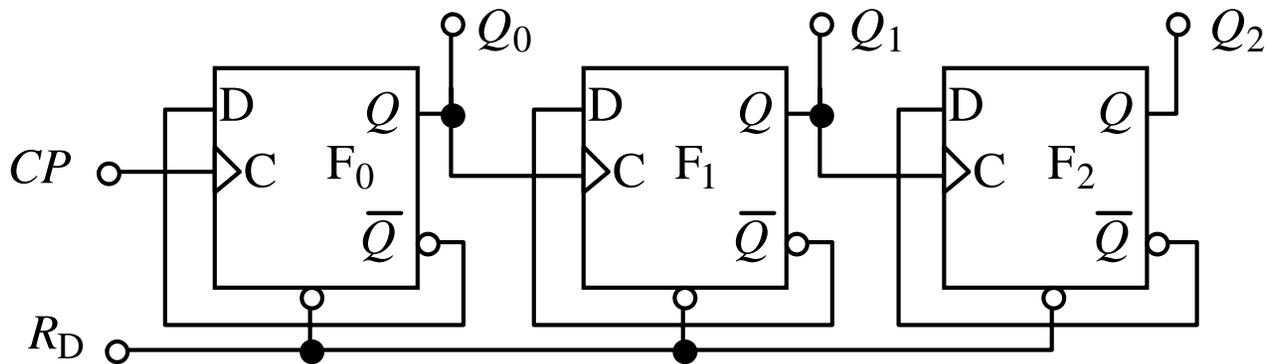
由于这种结构计数器的时钟脉冲不是同时加到各触发器的时钟端，而只加至最低位触发器，其他各位触发器则由相邻低位触发器的输出 Q 来触发翻转，即用低位输出推动相邻高位触发器，3个触发器的状态只能依次翻转，并不同步，这种结构特点的计数器称为异步计数器。异步计数器结构简单，但计数速度较慢。

用上升沿触发的D触发器构成的4位异步二进制加法计数器及其波形图

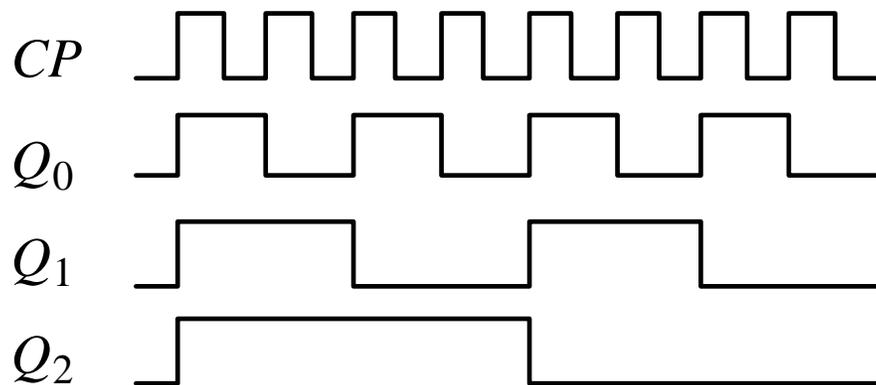


F_0 每输入一个时钟脉冲翻转一次。 F_1 在 Q_0 由 1 变 0 时翻转， F_2 在 Q_1 由 1 变 0 时翻转， F_3 在 Q_2 由 1 变 0 时翻转。

3位异步二进制减法计数器

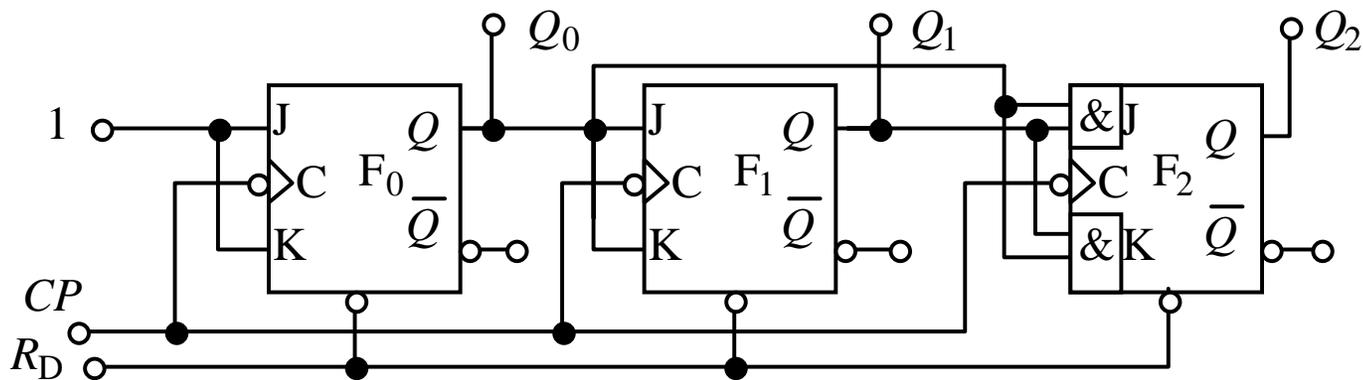


计数脉冲	Q_2	Q_1	Q_0
0	0	0	0
1	1	1	1
2	1	1	0
3	1	0	1
4	1	0	0
5	0	1	1
6	0	1	0
7	0	0	1
8	0	0	0



F_0 每输入一个时钟脉冲翻转一次， F_1 在 Q_0 由 1 变 0 时翻转， F_2 在 Q_1 由 1 变 0 时翻转。

2、同步二进制计数器

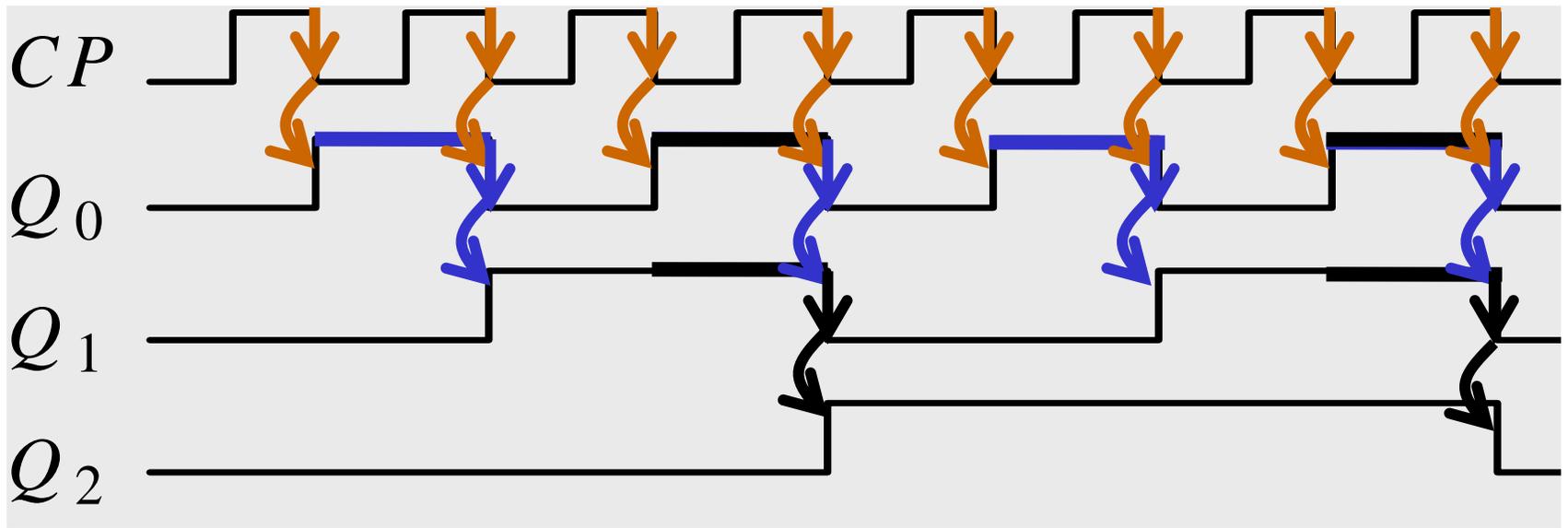


3个JK触发器都接成T触发器

$$J_0 = K_0 = 1$$

$$J_1 = K_1 = Q_0$$

$$J_2 = K_2 = Q_1 Q_0$$



F₀每输入一个时钟脉冲
翻转一次

F₁在Q₀=1时，在下一个CP
触发沿到来时翻转。

F₂在Q₀=Q₁=1时，在下一个CP
触发沿到来时翻转。

$$J_0 = K_0 = 1$$

$$J_1 = K_1 = Q_0$$

$$J_2 = K_2 = Q_1 Q_0$$

十进制计数器

1、同步十进制加法计数器

计数 脉冲	8421 编码				十进 制数
	Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	0	0	0	0	0

选用4个 CP 下降沿触发的JK触发器 F_0 、 F_1 、 F_2 、 F_3 。

F_0 : 每来一个 CP 计数脉冲翻转一次, $J_0 = K_0 = 1$ 。

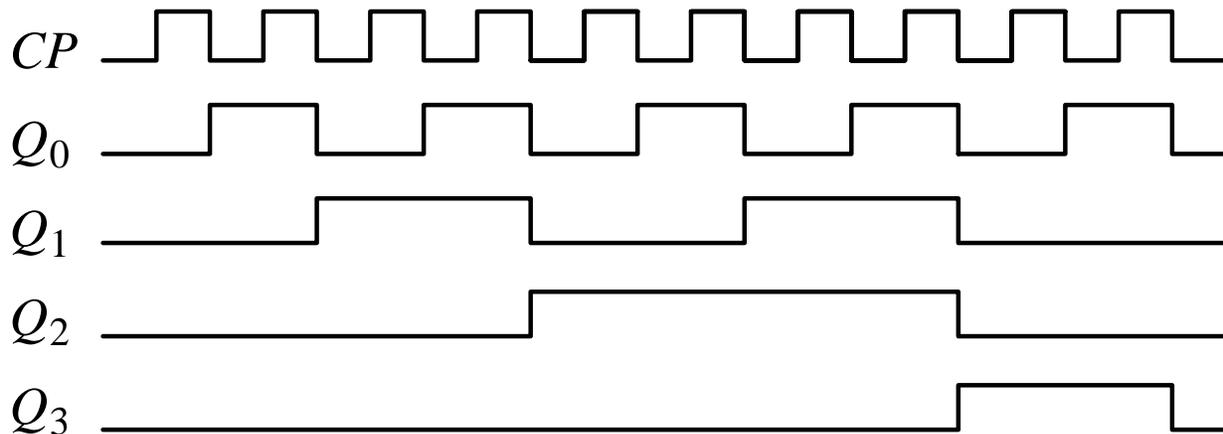
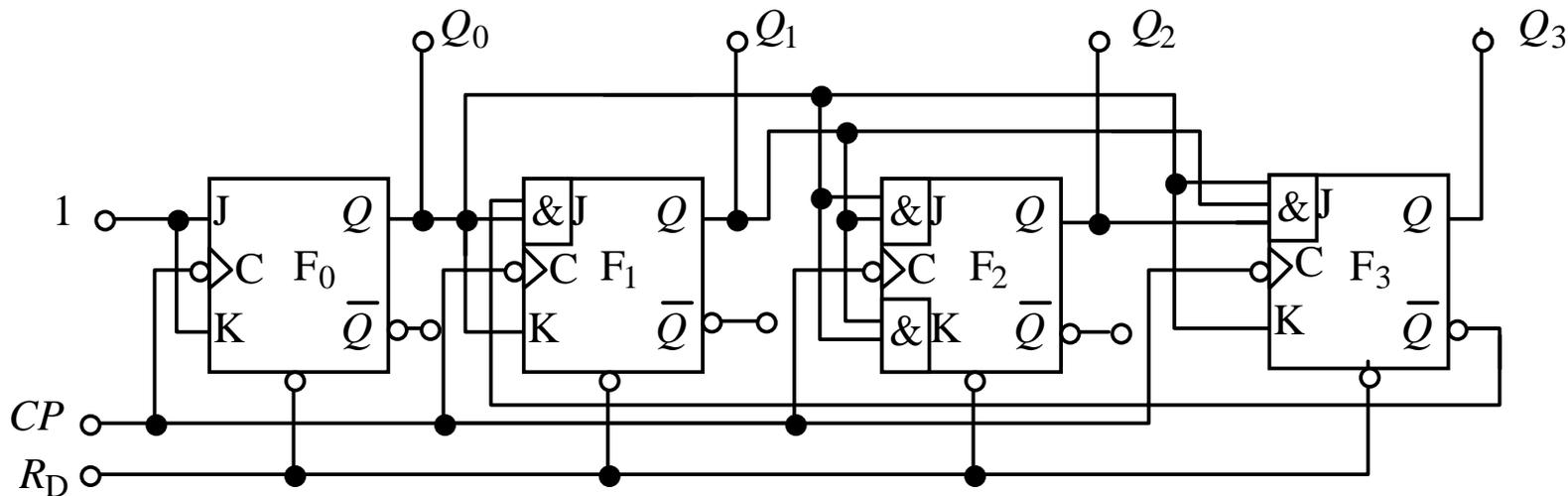
F_1 : 在 Q_0 为1时, 再来一个 CP 计数脉冲才翻转, 但在 Q_3 为1时不得翻转, $J_1 = \overline{Q_3}Q_0$ 、 $K_1 = Q_0$ 。

F_2 : 在 Q_0 和 Q_1 都为1时, 再来一个计数脉冲才翻转, $J_2 = K_2 = Q_1Q_0$ 。

F_3 : 在 Q_0 、 Q_1 和 Q_2 都为1时, 再来一个 CP 计数脉冲才翻转, 但在第10个脉冲到来时 Q_3 应由1变为0, $J_3 = Q_2Q_1Q_0$ 、 $K_3 = Q_0$

驱动方程:

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = \bar{Q}_3 Q_0, K_1 = Q_0 \\ J_2 = K_2 = Q_1 Q_0 \\ J_3 = Q_2 Q_1 Q_0, K_3 = Q_0 \end{cases}$$

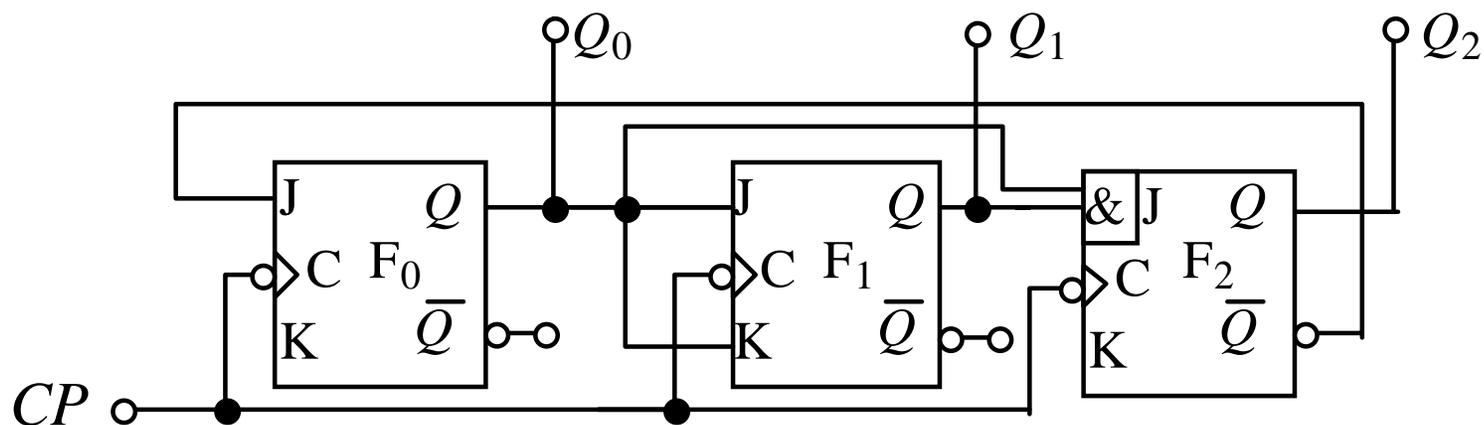


N进制计数器

1、由触发器构成N进制计数器

由触发器组成的N进制计数器的一般分析方法是：对于同步计数器，由于计数脉冲同时接到每个触发器的时钟输入端，因而触发器的状态是否翻转只需由其驱动方程判断。而异步计数器中各触发器的触发脉冲不尽相同，所以触发器的状态是否翻转除了考虑其驱动方程外，还必须考虑其时钟输入端的触发脉冲是否出现。

例：分析图示计数器为几进制计数器。



解：由图可知，由于 *CP* 计数脉冲同时接到每个触发器的时钟输入端，所以该计数器为同步计数器。3 个触发器的驱动方程分别为：

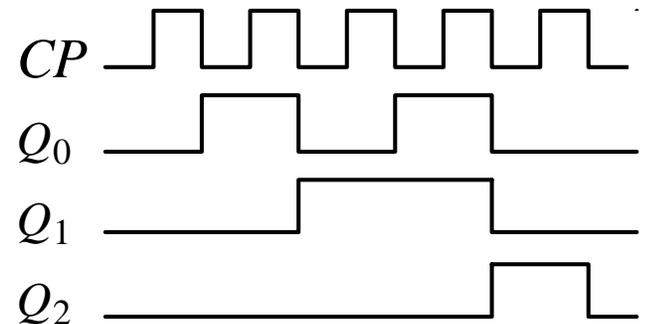
$$F_0: J_0 = \overline{Q_2}, K_0 = 1$$

$$F_1: J_1 = K_1 = Q_0$$

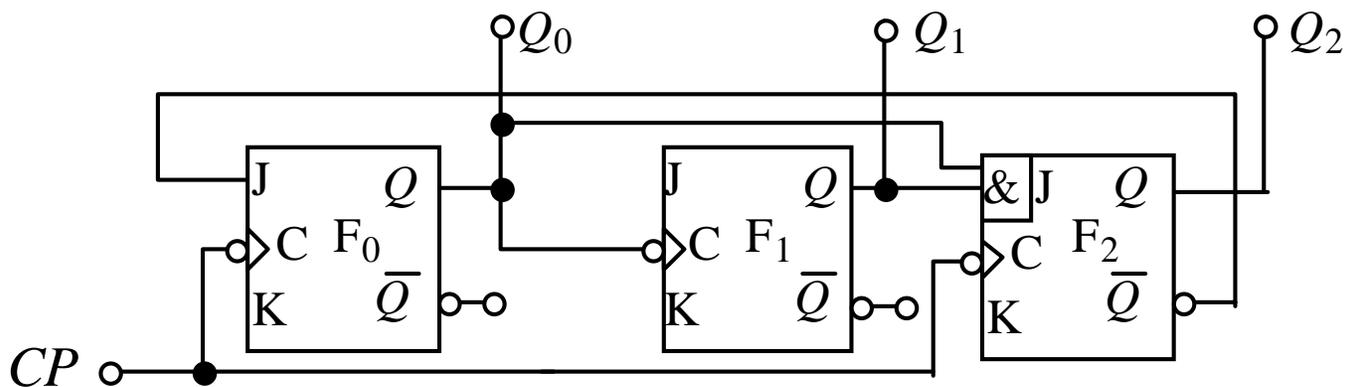
$$F_2: J_2 = Q_1 Q_0, K_2 = 1$$

列状态表的过程如下：首先假设计数器的初始状态，如000，并依此根据驱动方程确定 J 、 K 的值，然后根据 J 、 K 的值确定在 CP 计数脉冲触发下各触发器的状态。在第1个 CP 计数脉冲触发下各触发器的状态为001，按照上述步骤反复判断，直到第5个 CP 计数脉冲时计数器的状态又回到初始状态000。即每来5个计数脉冲计数器状态重复一次，所以该计数器为五进制计数器。

计数脉冲	Q_2	Q_1	Q_0	J_0	K_0	J_1	K_1	J_2	K_2
0	0	0	0	1	1	0	0	0	1
1	0	0	1	1	1	1	1	0	1
2	0	1	0	1	1	0	0	0	1
3	0	1	1	1	1	1	1	1	1
4	1	0	0	0	1	0	0	0	1
5	0	0	0	1	1	0	0	0	1



例：分析图示计数器为几进制计数器。



解：由图可知，触发器 F₀、F₂ 由 CP 计数脉冲触发，而 F₁ 由 F₀ 的输出 Q₀ 触发，也就是只有在 Q₀ 出现下降沿（由 1 变 0）时 Q₁ 才能翻转，各个触发器不是都接 CP 计数脉冲，所以该计数器为异步计数器。3 个触发器的驱动方程分别为：

$$F_0: J_0 = \overline{Q_2}, K_0 = 1 \quad CP \text{ 脉冲触发}$$

$$F_1: J_1 = K_1 = 1 \quad Q_0 \text{ 脉冲触发}$$

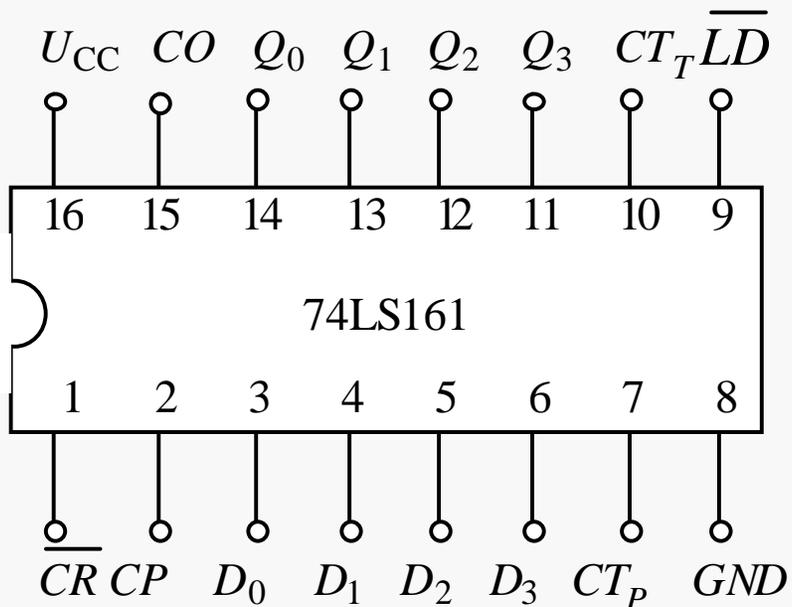
$$F_2: J_2 = Q_1 Q_0, K_2 = 1 \quad CP \text{ 脉冲触发}$$

列异步计数器状态表与同步计数器不同之处在于：决定触发器的状态，除了要看其J、K的值，还要看其时钟输入端是否出现触发脉冲下降沿。从状态表可以看出该计数器也是五进制计数器。

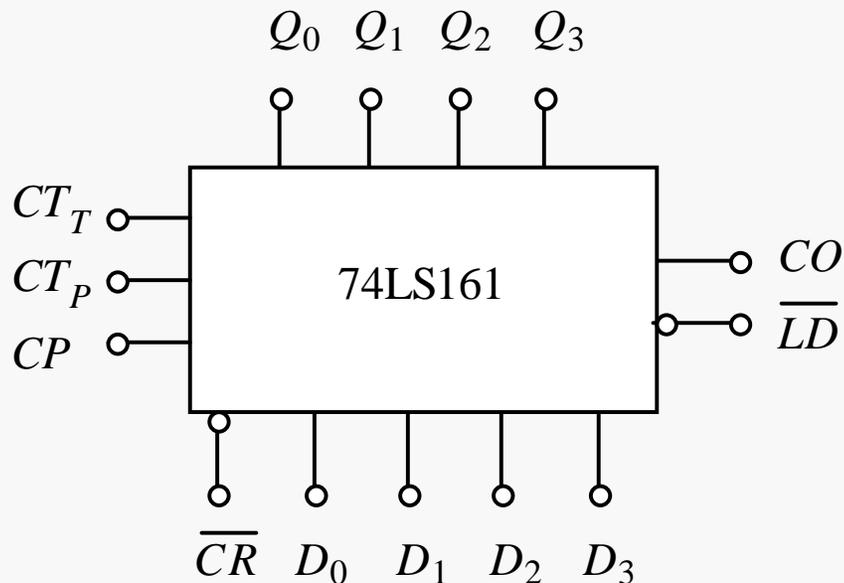
计数脉冲	Q_2	Q_1	Q_0	J_0	K_0	J_1	K_1	J_2	K_2
0	0	0	0	1	1	1	1	0	1
1	0	0	1	1	1	1	1	0	1
2	0	1	0	1	1	1	1	0	1
3	0	1	1	1	1	1	1	1	1
4	1	0	0	0	1	1	1	0	1
5	0	0	0	1	1	1	1	0	1

2、由集成计数器构成M进制计数器

4位集成同步二进制加法计数器74LS161



(a) 引脚排列图



(b) 逻辑功能示意图

① $\overline{CR}=0$ 时异步清

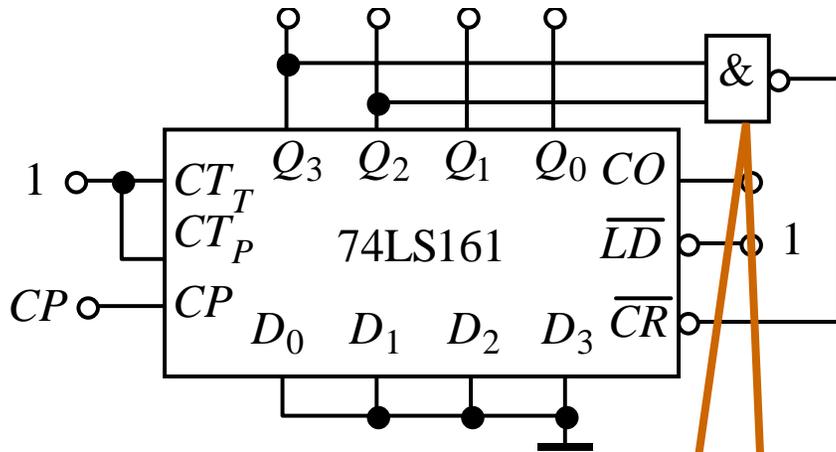
② $\overline{CR}=1$ 、 $\overline{LD}=0$ 时同步置

③ $\overline{CR}=\overline{LD}=1$ 且 $CP_T=CP_P=1$ 时，按4位自然二进制码同步计数。

④ $\overline{CR}=\overline{LD}=1$ 且 $CP_T \cdot CP_P=0$ 时，计数器状态保持不变。

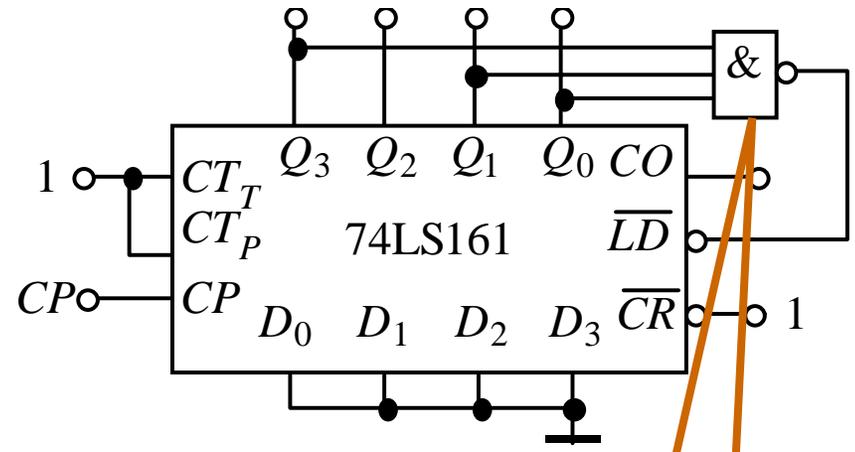
用集成计数器构成 N 进制计数器的方法：利用清零端或置数端，让电路跳过某些状态来获得 N 进制计数器。

用74LS161构成十二进制计数器



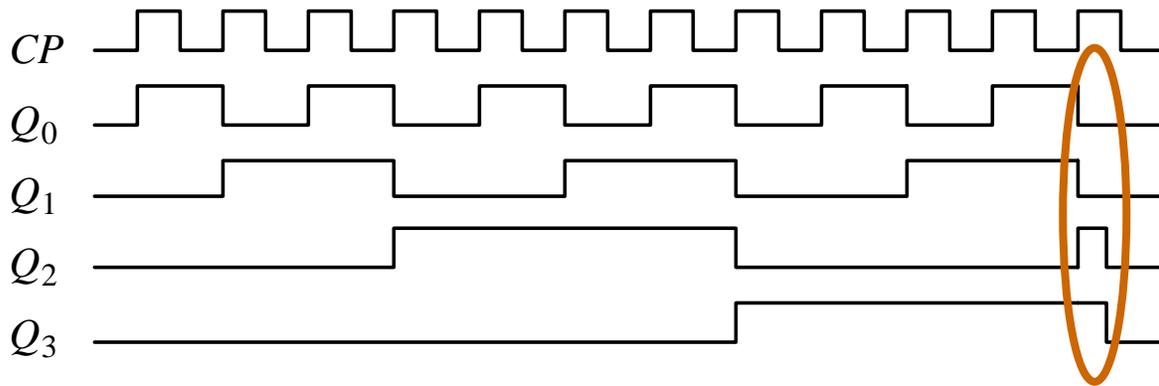
(a) 用异步清零端 \overline{CR} 归零

将状态1100
反馈到清
零端归零

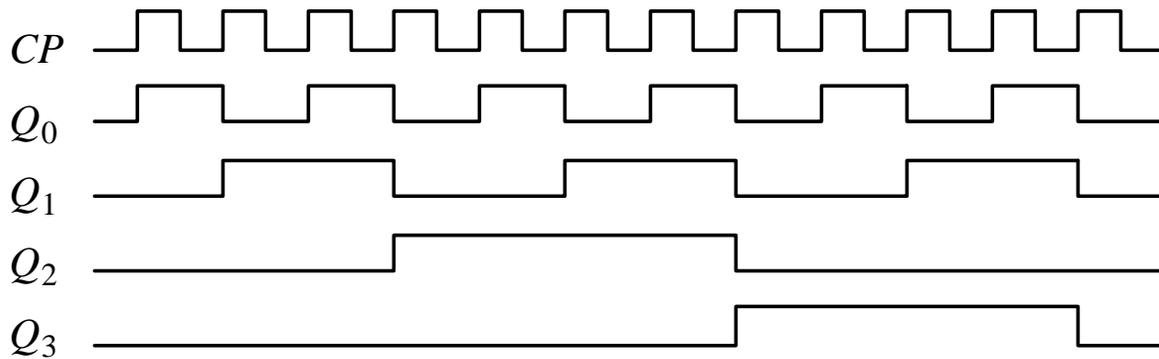


(b) 用同步置数端 \overline{LD} 归零

将状态1011
反馈到清
零端归零



(a) 用异步归零法构成的十二进制计数器的波形

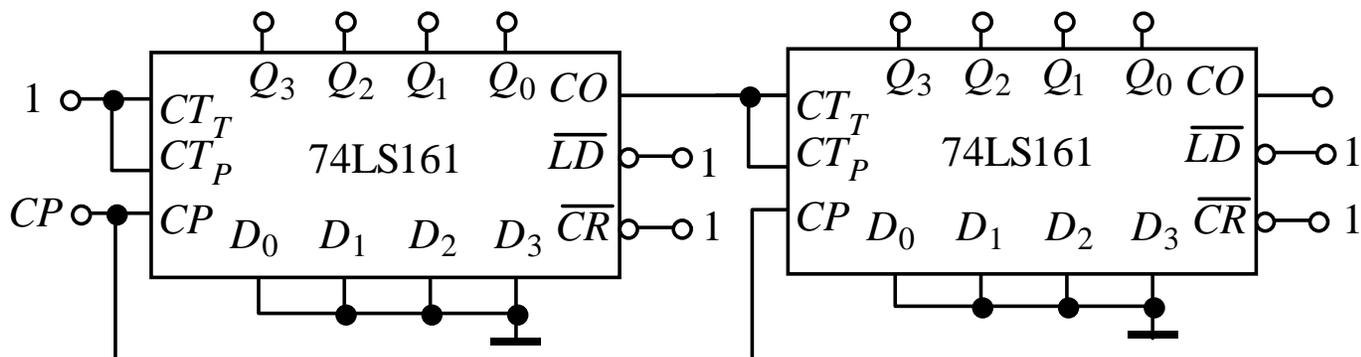


(b) 用同步归零法构成的十二进制计数器的波形

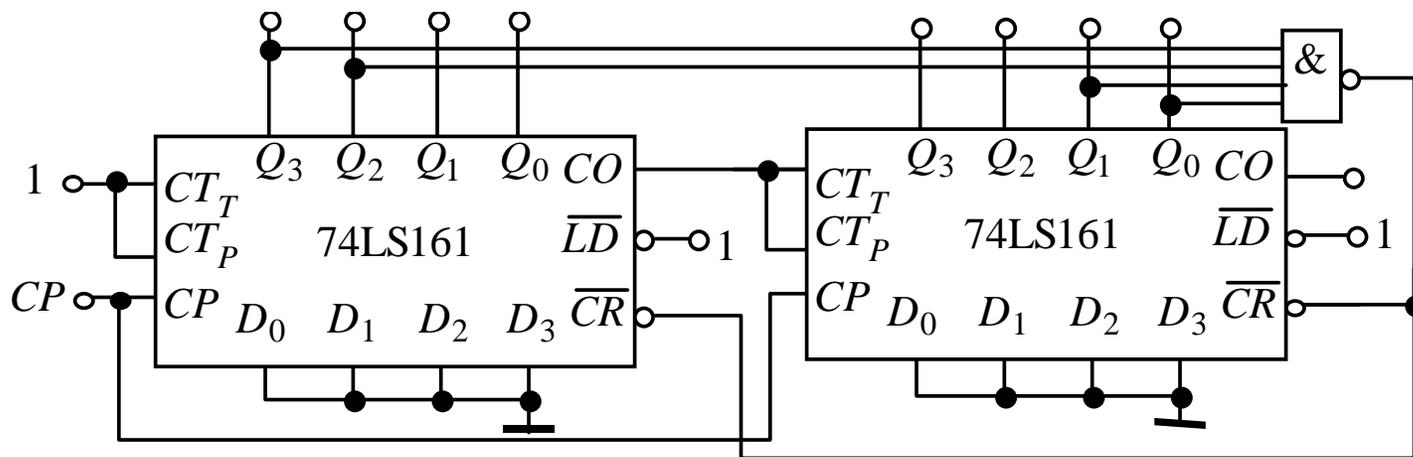
用异步归零构成十二进制计数器，存在一个极短暂的过渡状态1100。十二进制计数器从状态0000开始计数，计到状态1011时，再来一个 CP 计数脉冲，电路应该立即归零。然而用异步归零法所得到的十二进制计数器，不是立即归零，而是先转换到状态1100，借助1100的译码使电路归零，随后变为初始状态0000。

用74LS161构成256进制和60进制计数器

$$16 \times 16 = 256$$



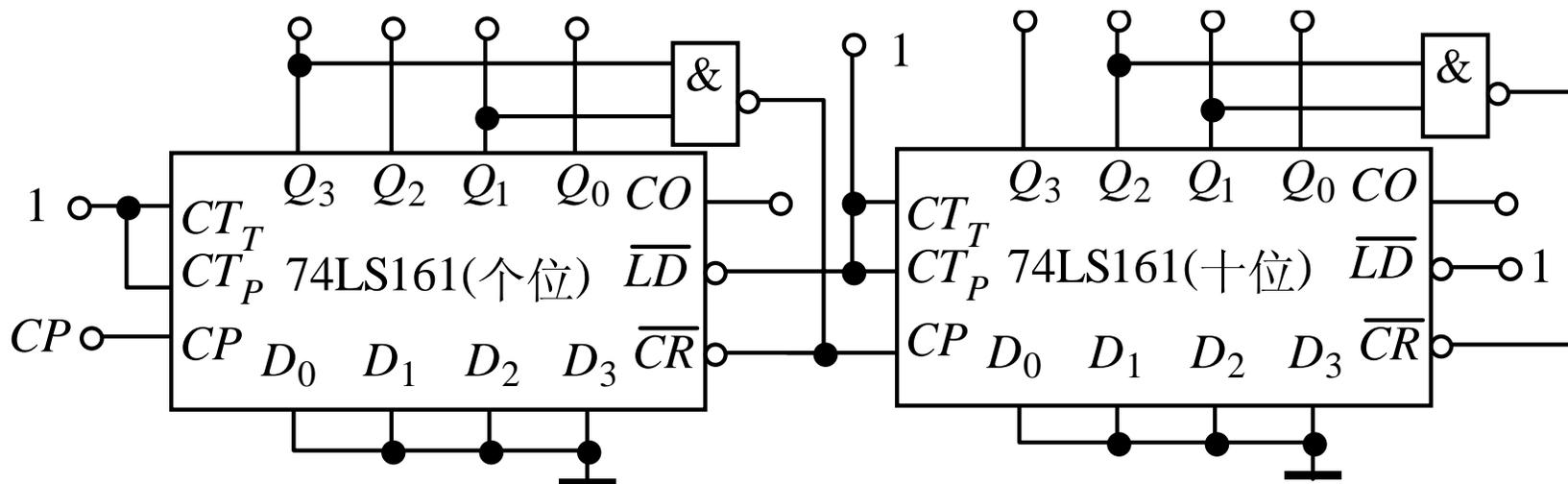
256 进制计数器



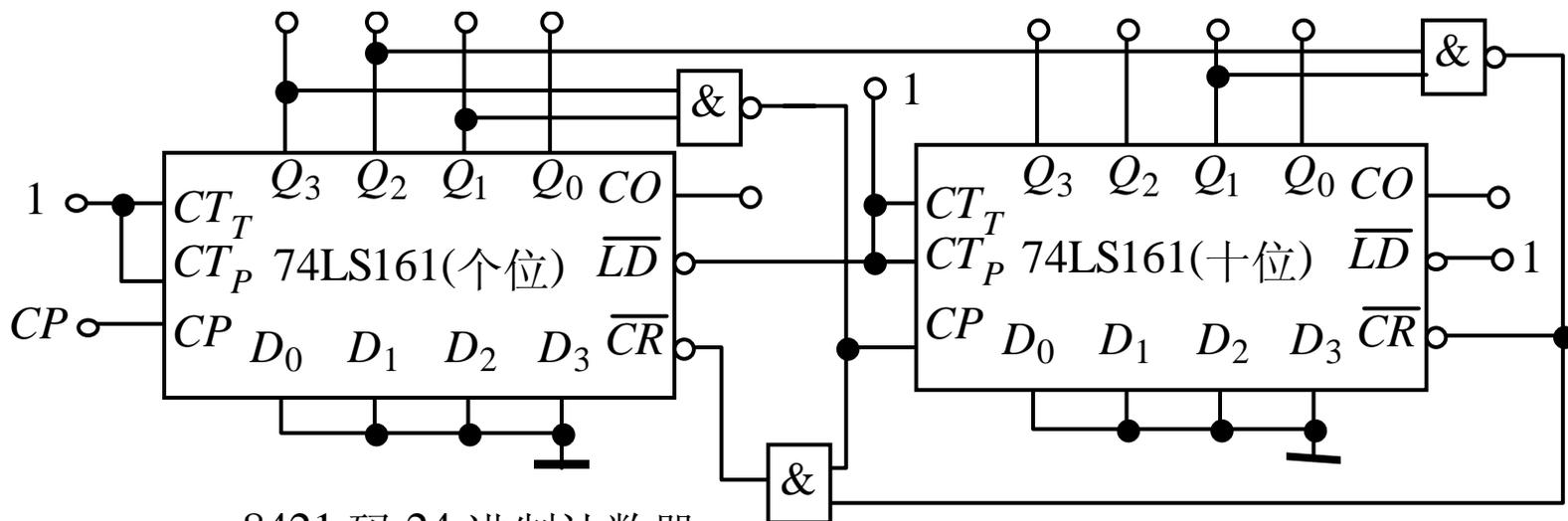
60 进制计数器

高位片计数到3 (0011) 时，低位片所计数为 $16 \times 3 = 48$ ，之后低位片继续计数到12 (1100)，与非门输出0，将两片计数器同时清零。

用74LS161构成8421码60进制和24进制计数器

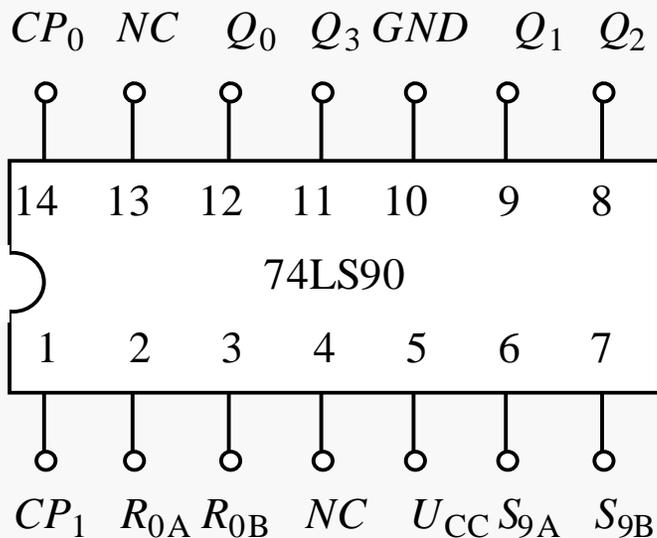


8421 码 60 进制计数器

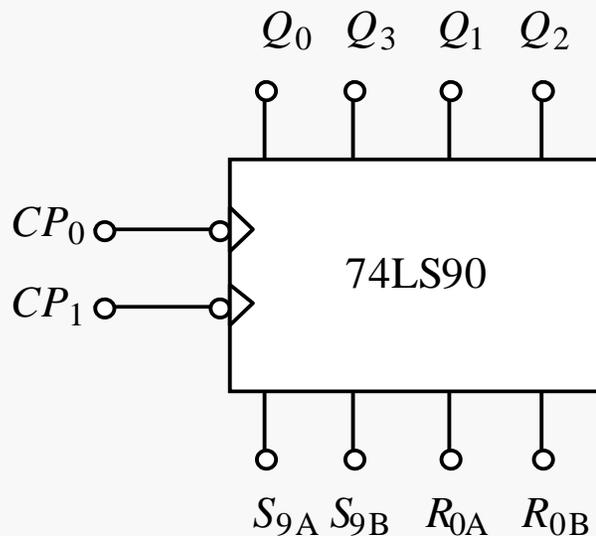


8421 码 24 进制计数器

集成异步十进制计数器 74LS90



(a) 引脚排列图

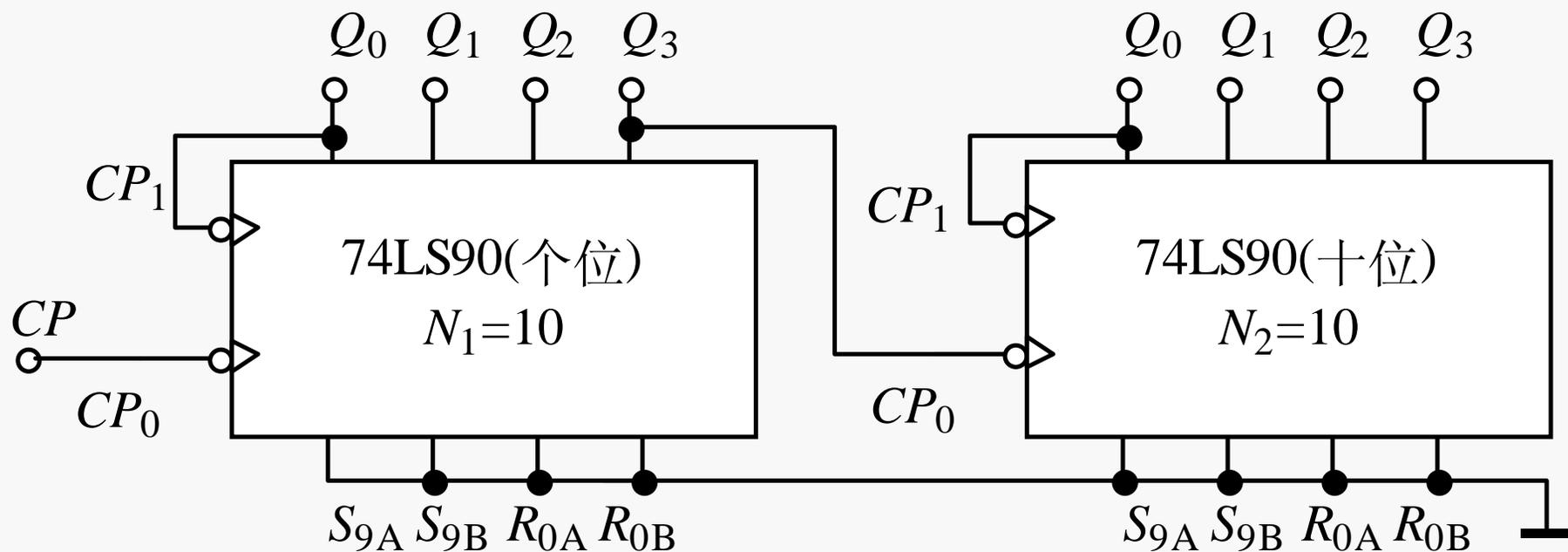


(b) 逻辑功能示意图

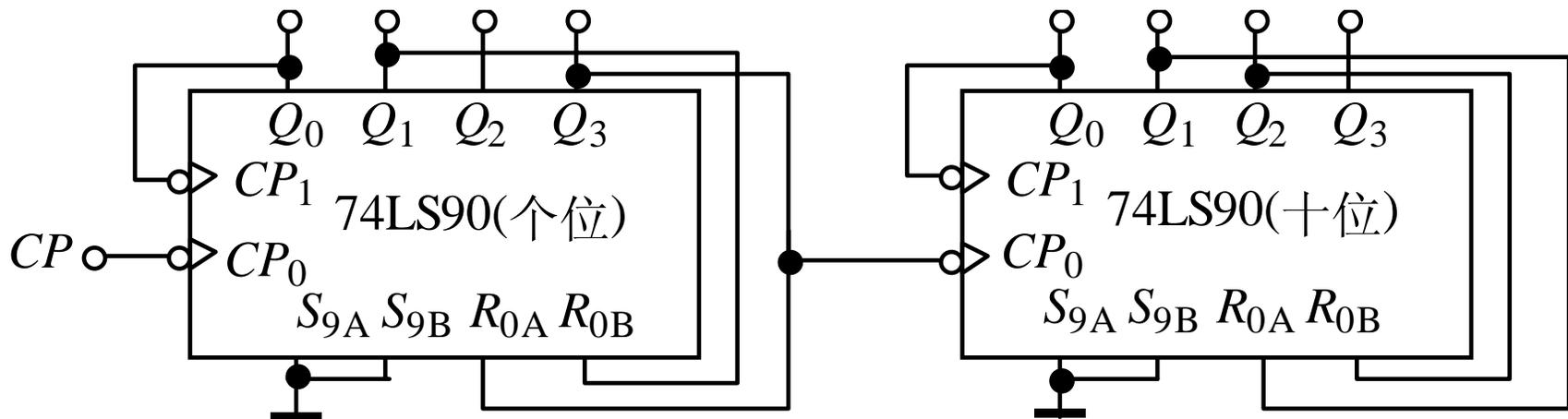
输 入						输 出			
R_{0A}	R_{0B}	S_{9A}	S_{9B}	CP_0	CP_1	Q_3	Q_2	Q_1	Q_0
1	1	0	×	×	×	0	0	0	0
1	1	×	0	×	×	0	0	0	0
×	×	1	1	×	×	1	0	0	1
×	0	×	0	↓	0	二进制计数			
×	0	0	×	0	↓	五进制计数			
0	×	×	0	↓	Q_0	8421 码十进制计数			
0	×	0	×	Q_1	↓	5421 码十进制计数			

用74LS161构成N进制计数器

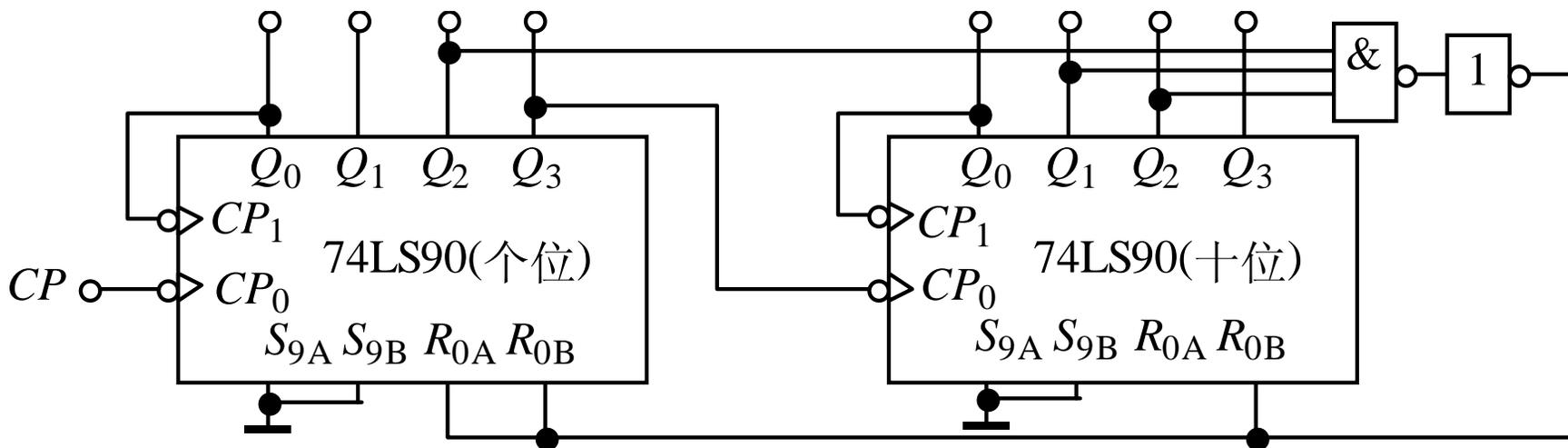
异步计数器一般没有专门的进位信号输出端，通常可以用本级的高位输出信号驱动下一级计数器计数，即采用串行进位方式来扩展容量。



100进制计数器



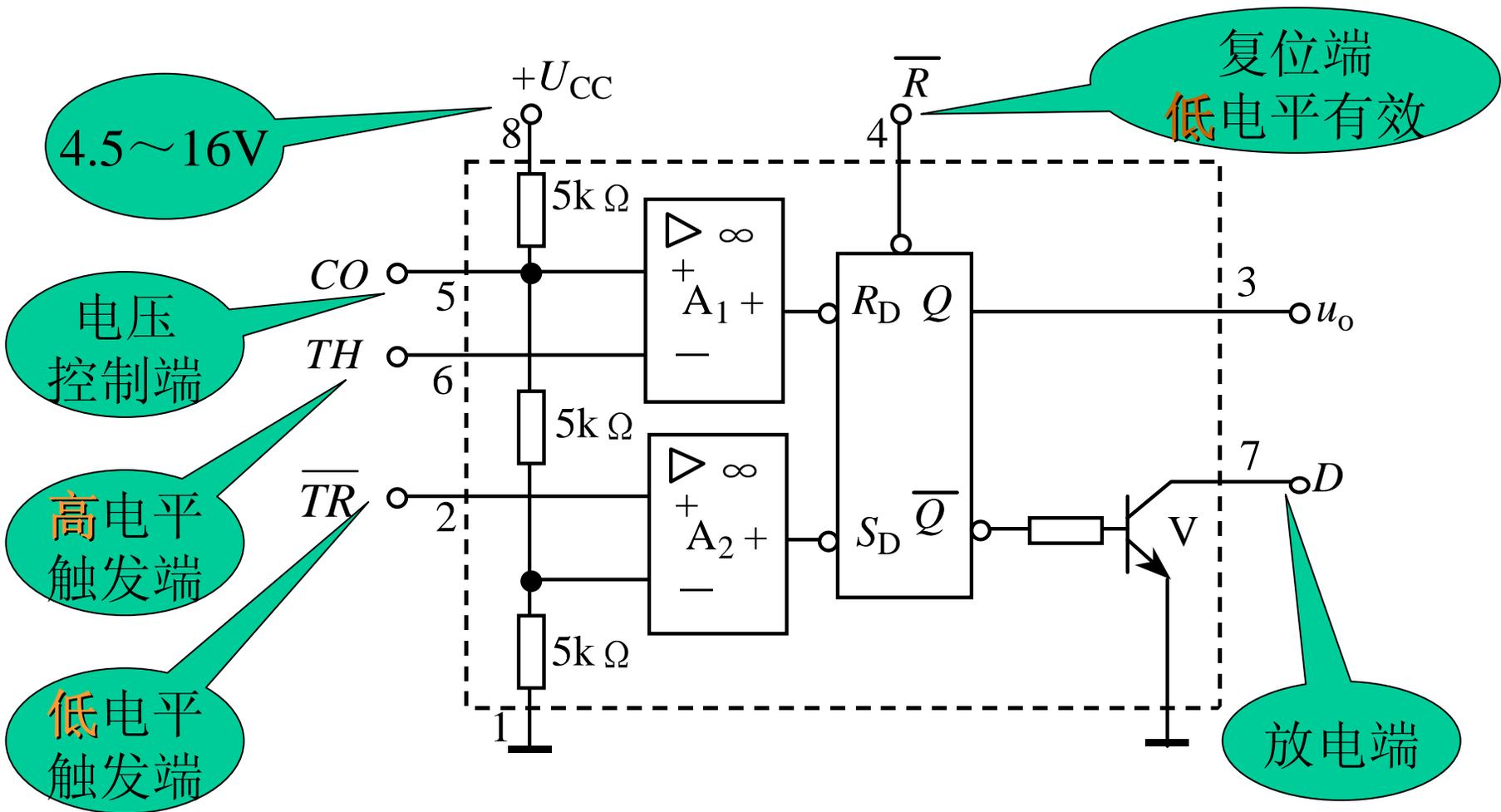
60进制计数器

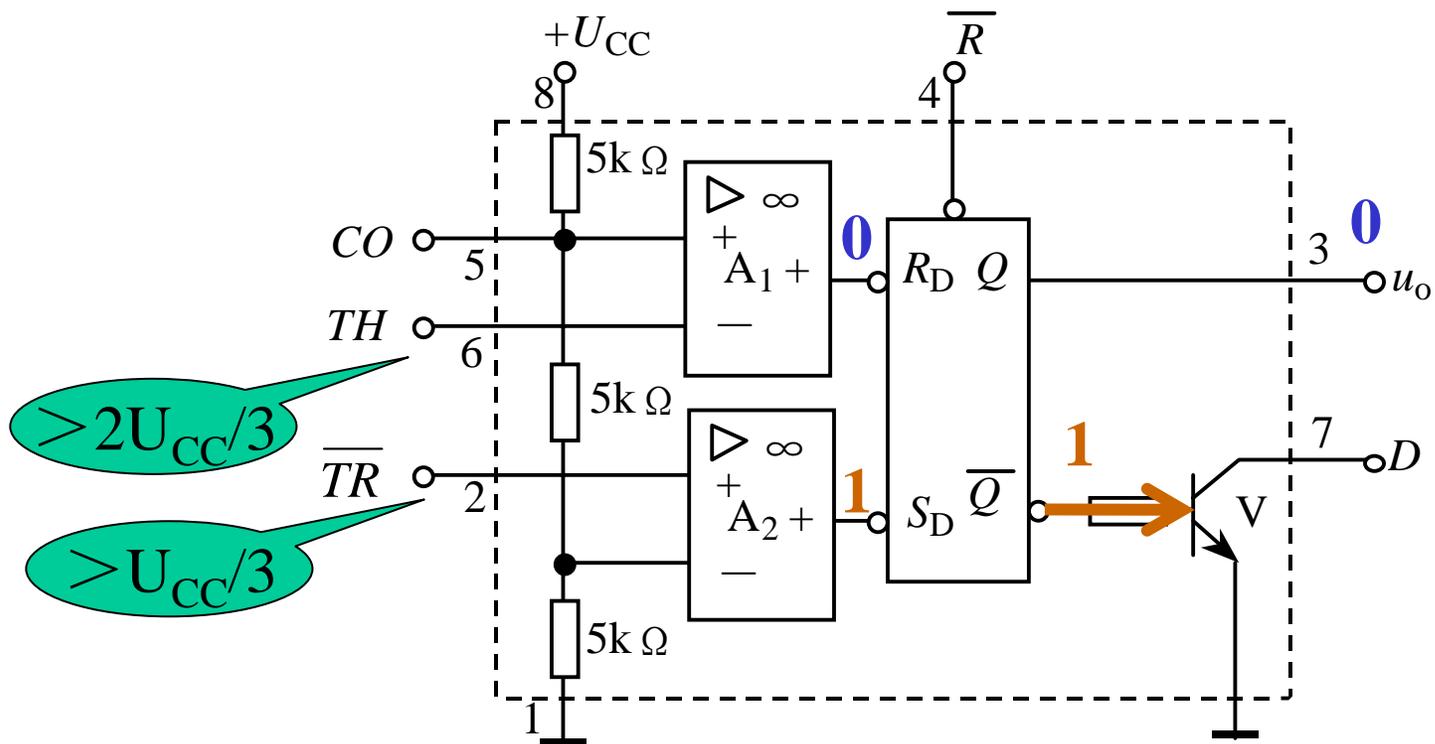


64进制计数器

555定时器

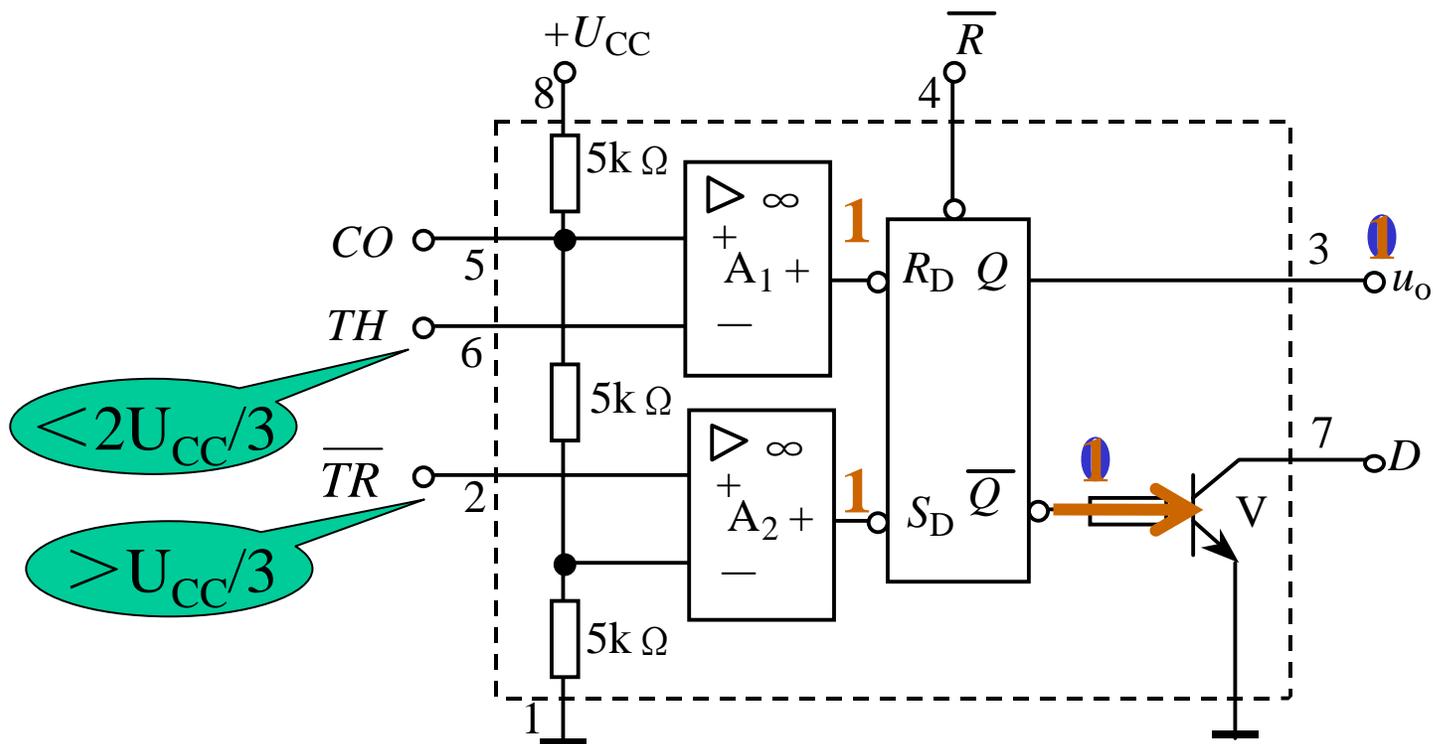
555定时器的结构和工作原理





① $\overline{R}=0$ 时， $\overline{Q}=1$ 、 $Q=0$ ， $u_o=0$ ， V 饱和导通。

② $\overline{R}=1$ 、 $U_{TH} > 2U_{CC}/3$ 、 $U_{TR} > U_{CC}/3$ 时， $R_D=0$ 、 $S_D=1$ ， $\overline{Q}=1$ 、 $Q=0$ ， $u_o=0$ ， V 饱和导通。



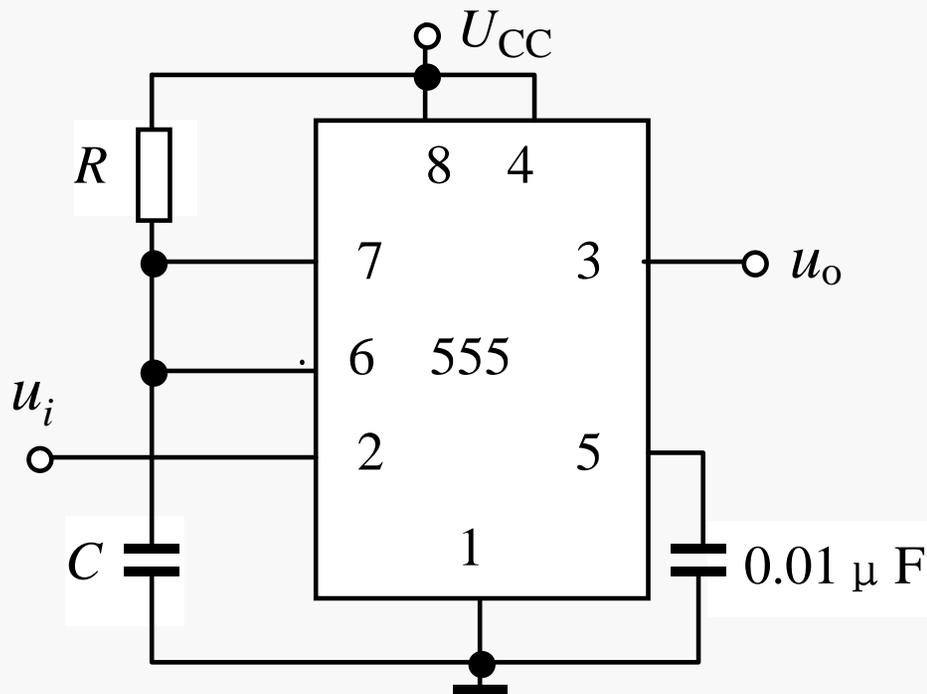
① $\overline{R}=0$ 时, $\overline{Q}=1$ 、 $Q=0$, $u_o=0$, V 饱和导通。

② $\overline{R}=1$ 、 $U_{TH} > 2U_{CC}/3$ 、 $U_{\overline{TR}} > U_{CC}/3$ 时, $R_D=0$ 、 $S_D=1$,
 $\overline{Q}=1$ 、 $Q=0$, $u_o=0$, V 饱和导通。

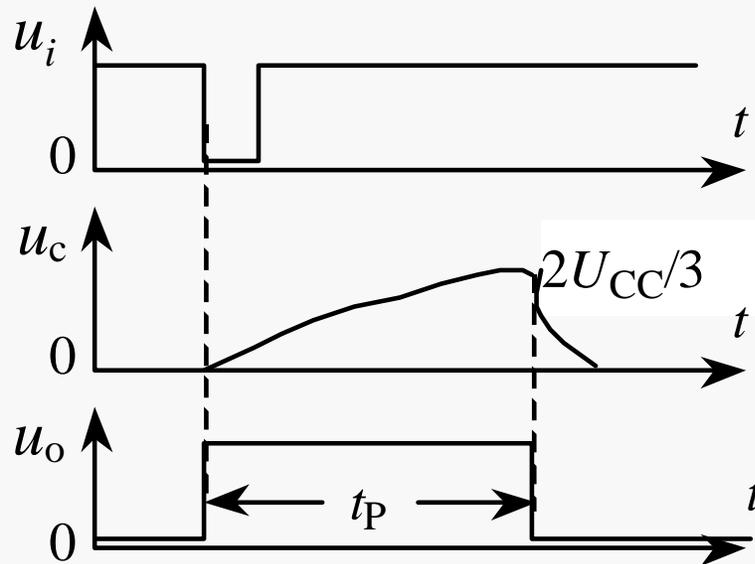
③ $\overline{R}=1$ 、 $U_{TH} < 2U_{CC}/3$ 、 $U_{\overline{TR}} > U_{CC}/3$ 时, $R_D=1$ 、 $S_D=1$,
 \overline{Q} 、 Q 不变, u_o 不变, V 状态不变。

555定时器的应用

1、由555定时器构成单稳态触发器



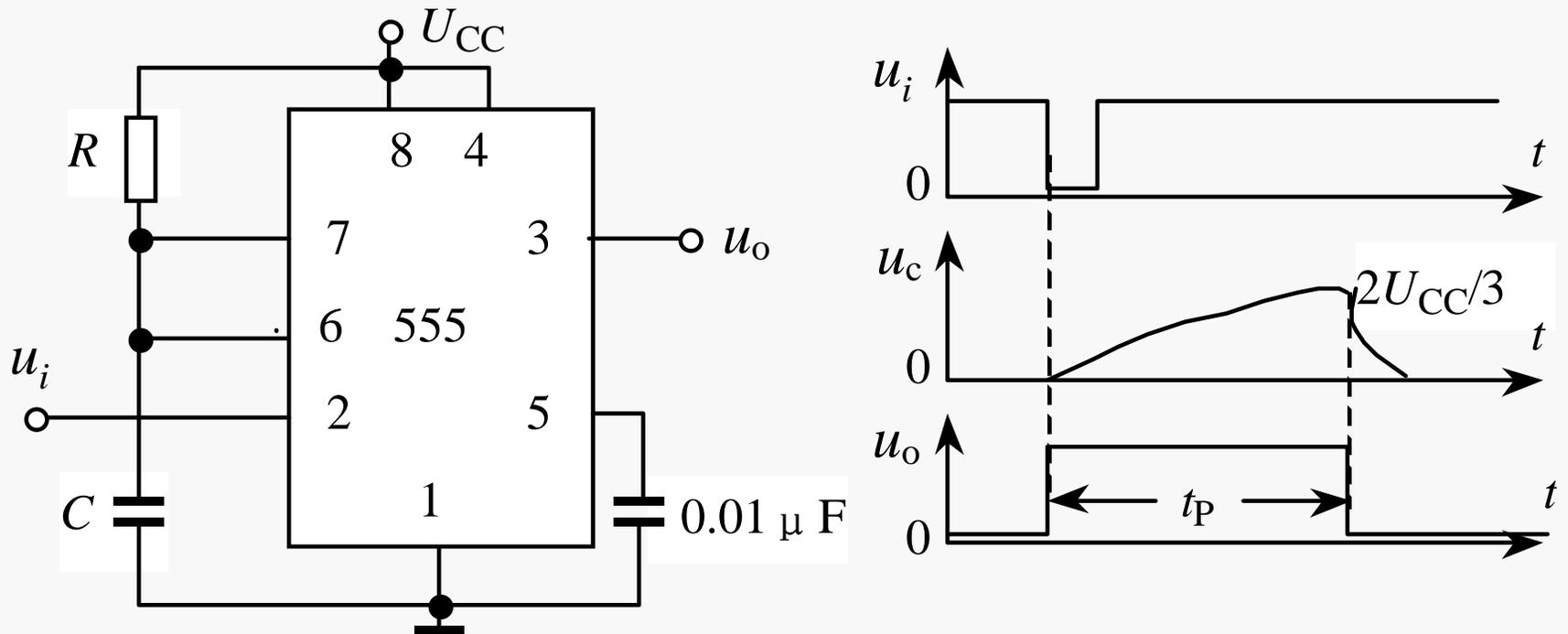
(a) 电路



(b) 工作波形

输出脉冲宽度 t_p 。

$$t_p \approx 1.1RC$$

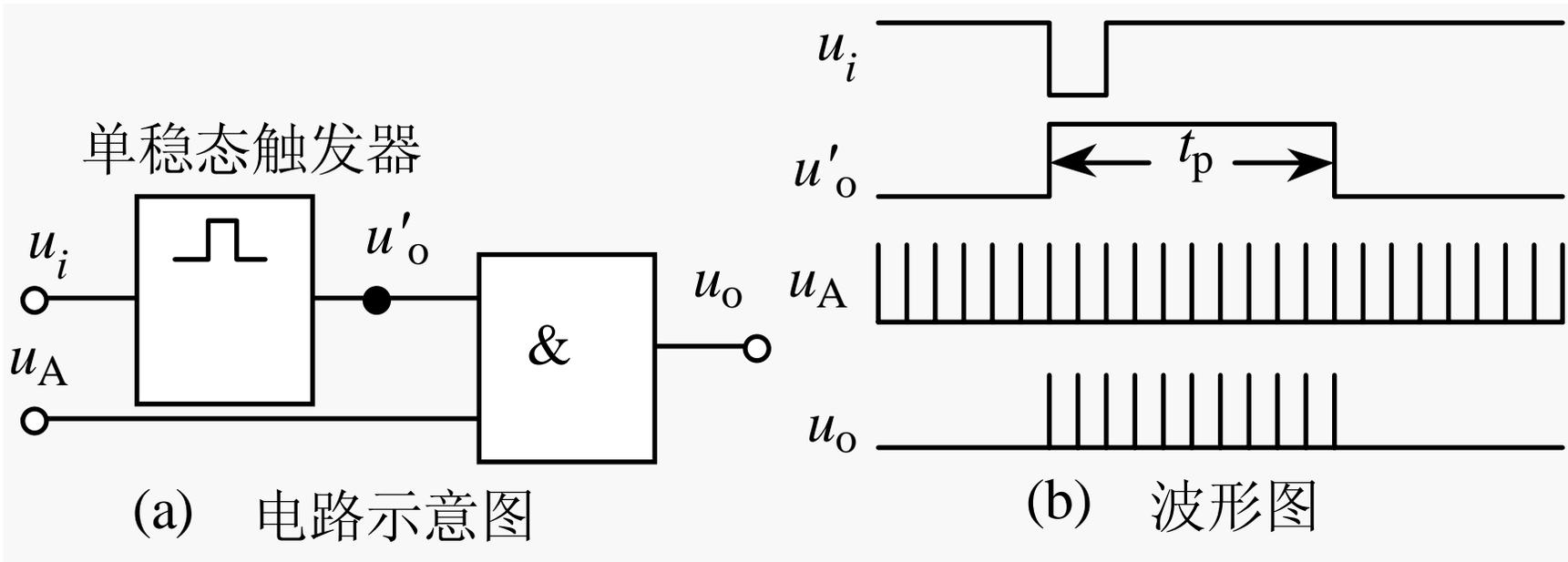


接通 U_{CC} 后瞬间， U_{CC} 通过 R 对 C 充电，当 u_c 上升到 $2U_{CC}/3$ 时，比较器 A_1 输出为 0，将触发器置 0， $u_o = 0$ 。这时 $\overline{Q} = 1$ ，放电管 V 导通， C 通过 V 放电，电路进入稳态。

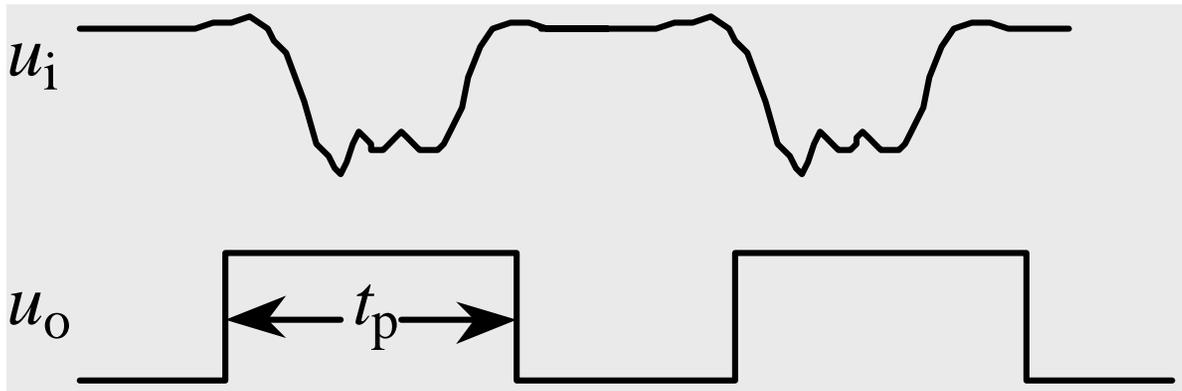
u_i 到来时，因为 $u_i < U_{CC}/3$ ，使 $A_2 = 0$ ，触发器置 1， u_o 又由 0 变为 1，电路进入暂稳态。由于此时 $\overline{Q} = 0$ ，放电管 V 截止， U_{CC} 经 R 对 C 充电。虽然此时触发脉冲已消失，比较器 A_2 的输出变为 1，但充电继续进行，直到 u_c 上升到 $2U_{CC}/3$ 时，比较器 A_1 输出为 0，将触发器置 0，电路输出 $u_o = 0$ ， V 导通， C 放电，电路恢复到稳定状态。

单稳态触发器的应用

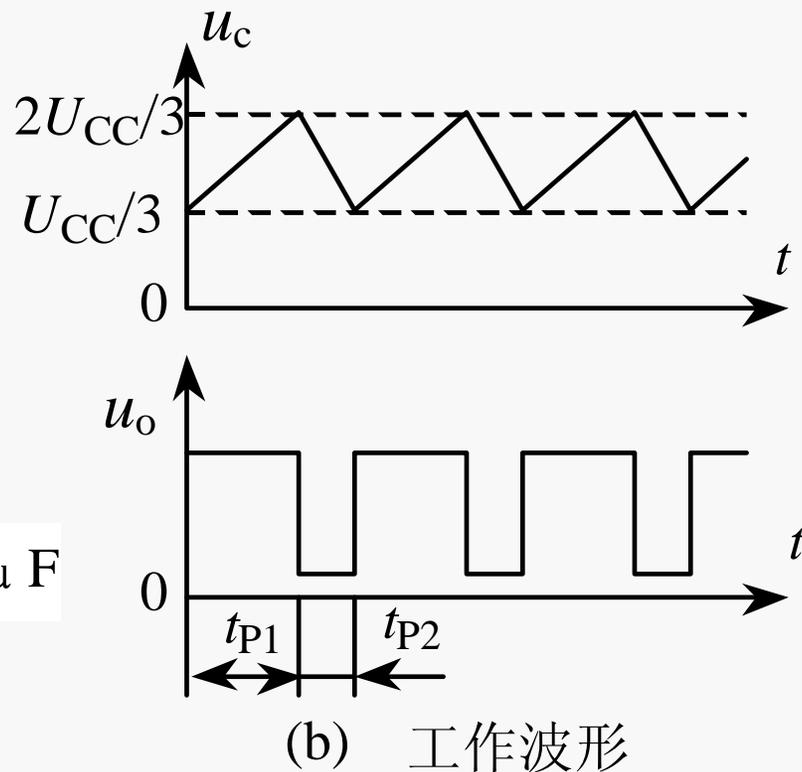
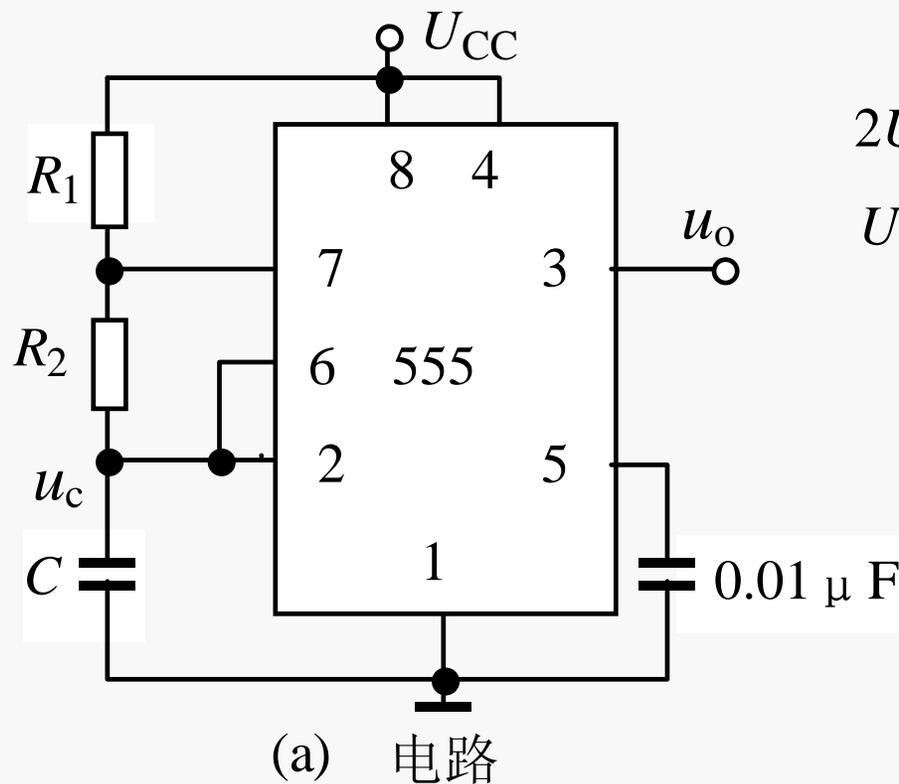
延迟与定时



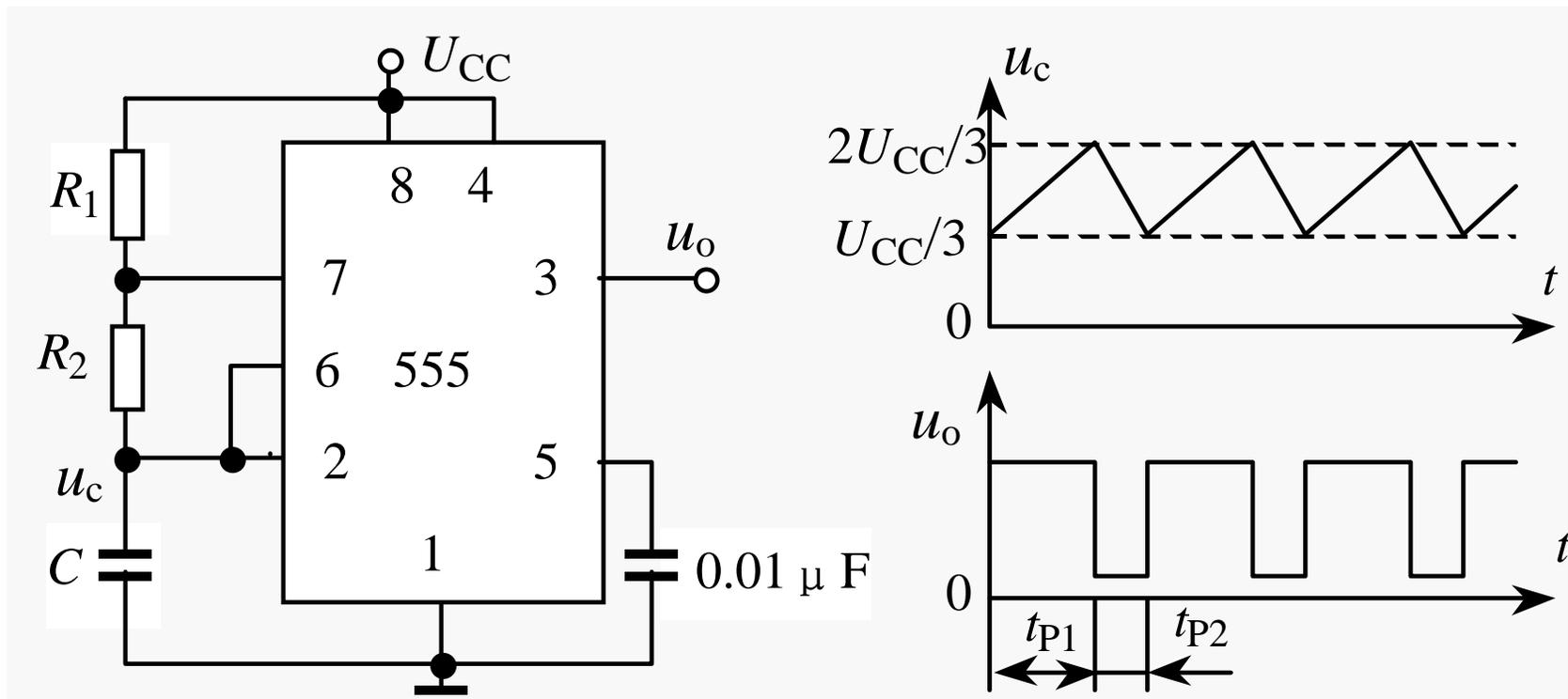
整形



2、由555定时器构成无稳态触发器



接通 U_{CC} 后， U_{CC} 经 R_1 和 R_2 对 C 充电。当 u_c 上升到 $2U_{CC}/3$ 时， $u_o=0$ ，V导通， C 通过 R_2 和T放电， u_c 下降。当 u_c 下降到 $U_{CC}/3$ 时， u_o 又由0变为1，V截止， U_{CC} 又经 R_1 和 R_2 对 C 充电。如此重复上述过程，在输出端 u_o 产生了连续的矩形脉冲。



第一个暂稳态的脉冲宽度 t_{p1} ，即 u_c 从 $U_{CC}/3$ 充电上升到 $2U_{CC}/3$ 所需的时间：

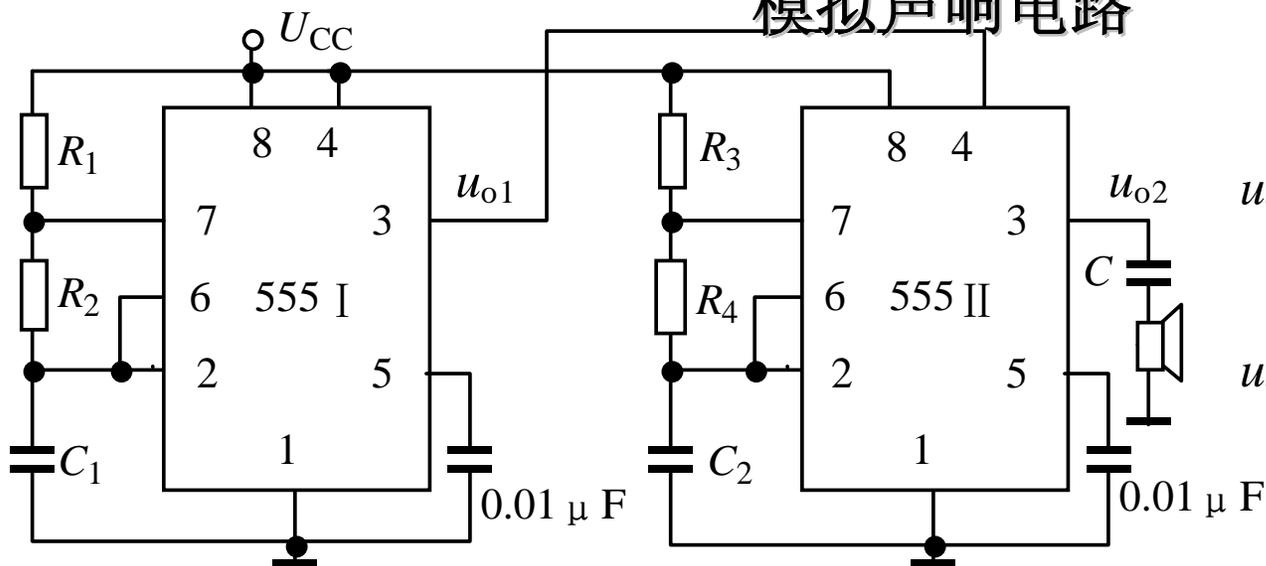
$$t_{p1} \approx 0.7(R_1 + R_2)C$$

第二个暂稳态的脉冲宽度 t_{p2} ，即 u_c 从 $2U_{CC}/3$ 放电下降到 $U_{CC}/3$ 所需的时间：

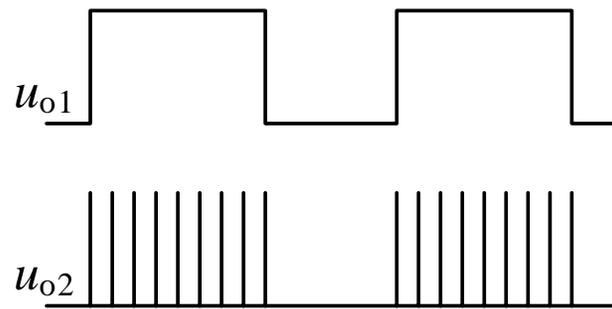
$$t_{p2} \approx 0.7R_2C$$

$$\text{振荡周期: } T = t_{p1} + t_{p2} \approx 0.7(R_1 + 2R_2)C$$

无稳态触发器的应用： 模拟声响电路



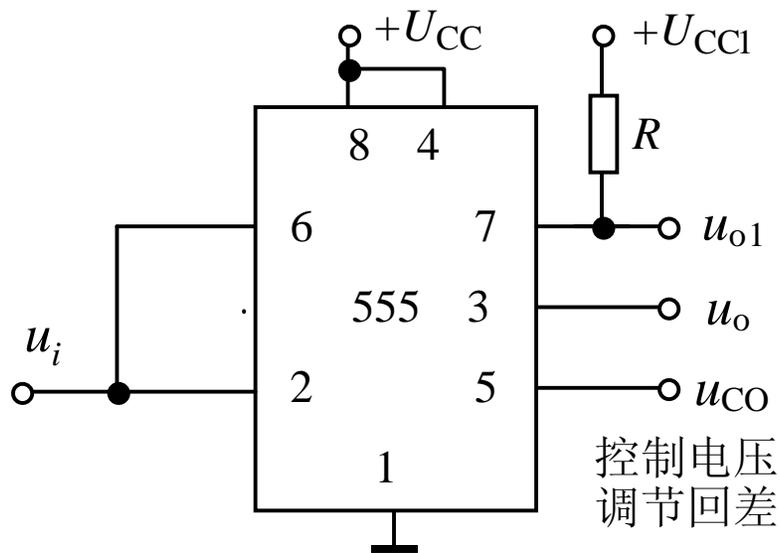
(a) 电路



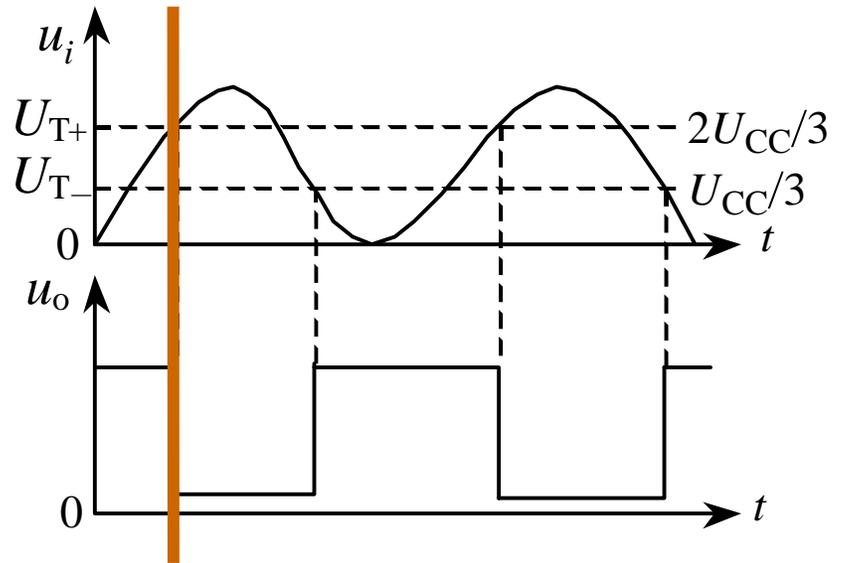
(b) 工作波形

将振荡器 I 的输出电压 u_{o1} ，接到振荡器 II 中 555 定时器的复位端（4脚），当 u_{o1} 为高电平时振荡器 II 振荡，为低电平时 555 定时器复位，振荡器 II 停止震荡。

3、由555定时器构成施密特触发器

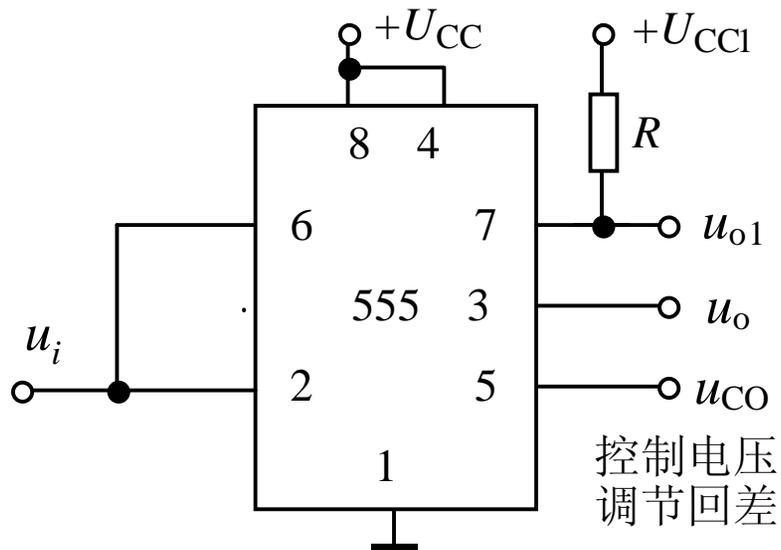


(a) 电路

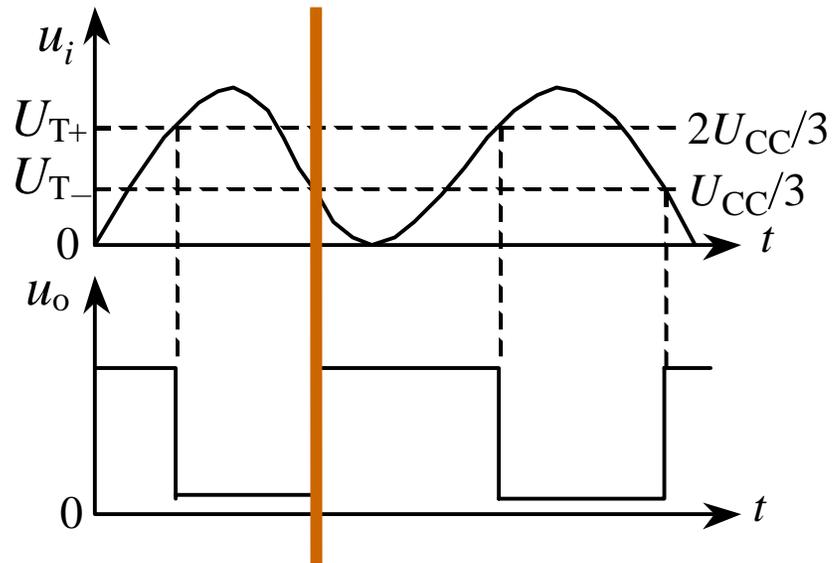


(b) 工作波形

(1) $u_i = 0$ 时, $R_D=1$ 、 $S_D=0$, 触发器置 1, 即 $Q=1$ 、 $\bar{Q}=0$, $u_{o1} = u_o=1$ 。 u_i 升高时, 在未到达 $2U_{CC}/3$ 以前, $u_{o1} = u_o=1$ 的状态不会改变。



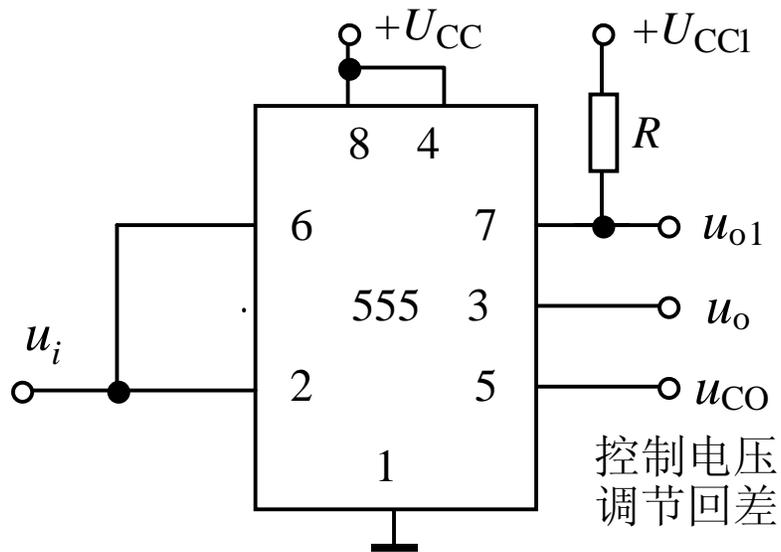
(a) 电路



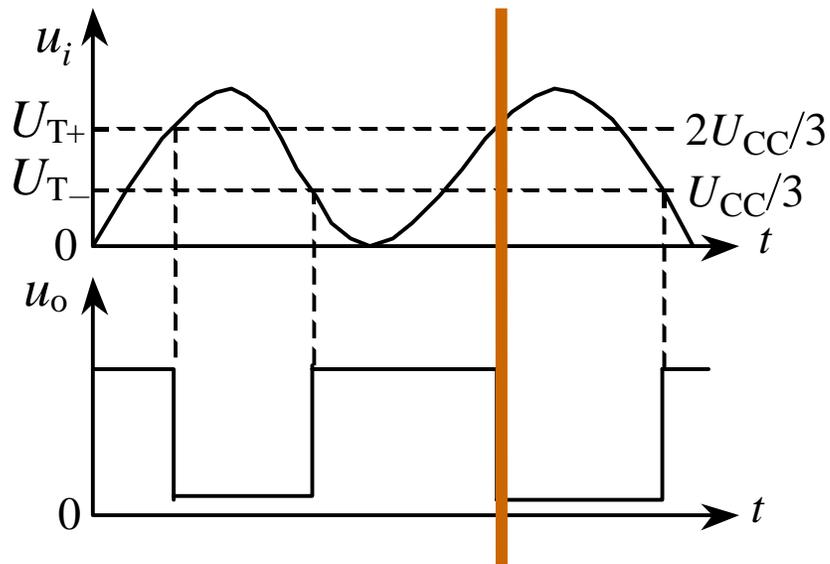
(b) 工作波形

(1) $u_i = 0$ 时, $R_D=1$ 、 $S_D=0$, 触发器置 1, 即 $Q=1$ 、 $\bar{Q}=0$, $u_{o1} = u_o = 1$ 。 u_i 升高时, 在未到达 $2U_{CC}/3$ 以前, $u_{o1} = u_o = 1$ 的状态不会改变。

(2) u_i 升高到 $2U_{CC}/3$ 时, 比较器 A_1 输出跳变为 0、 A_2 输出为 1, 触发器置 0, 即跳变到 $Q=0$ 、 $\bar{Q}=1$, u_{o1} 、 u_o 也随之跳变到 0。此后, u_i 继续上升到最大值, 然后再降低, 但在未降低到 $U_{CC}/3$ 以前, $u_{o1} = 0$ 、 $u_o = 0$ 的状态不会改变。



(a) 电路



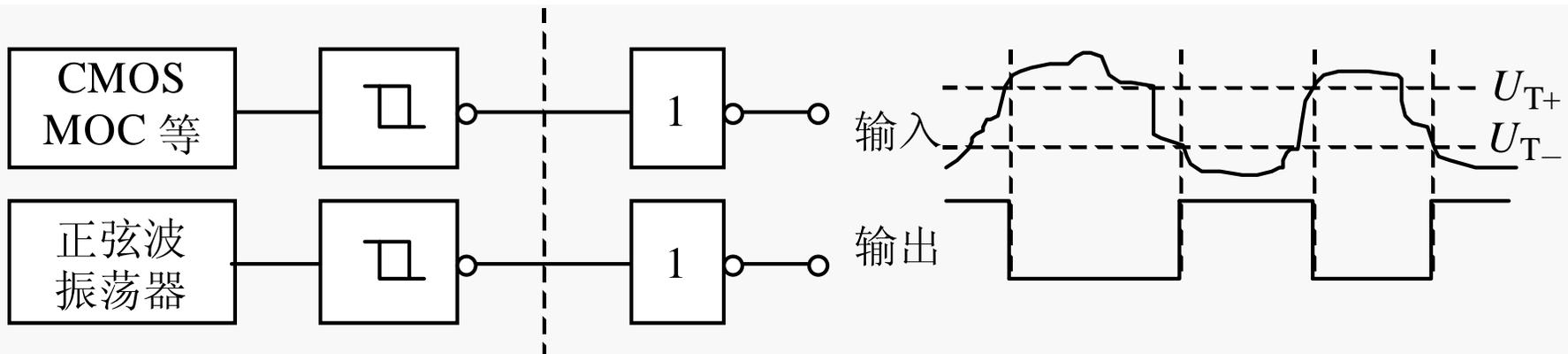
(b) 工作波形

(1) $u_i = 0$ 时, $R_D=1$ 、 $S_D=0$, 触发器置 1, 即 $Q=1$ 、 $\bar{Q}=0$, $u_{o1} = u_o=1$ 。 u_i 升高时, 在未到达 $2U_{CC}/3$ 以前, $u_{o1} = u_o=1$ 的状态不会改变。

(2) u_i 升高到 $2U_{CC}/3$ 时, 比较器 A_1 输出跳变为 0、 A_2 输出为 1, 触发器置 0, 即跳变到 $Q=0$ 、 $\bar{Q}=1$, u_{o1} 、 u_o 也随之跳变到 0。此后, u_i 继续上升到最大值, 然后再降低, 但在未降低到 $U_{CC}/3$ 以前, $u_{o1} = 0$ 、 $u_o = 0$ 的状态不会改变。

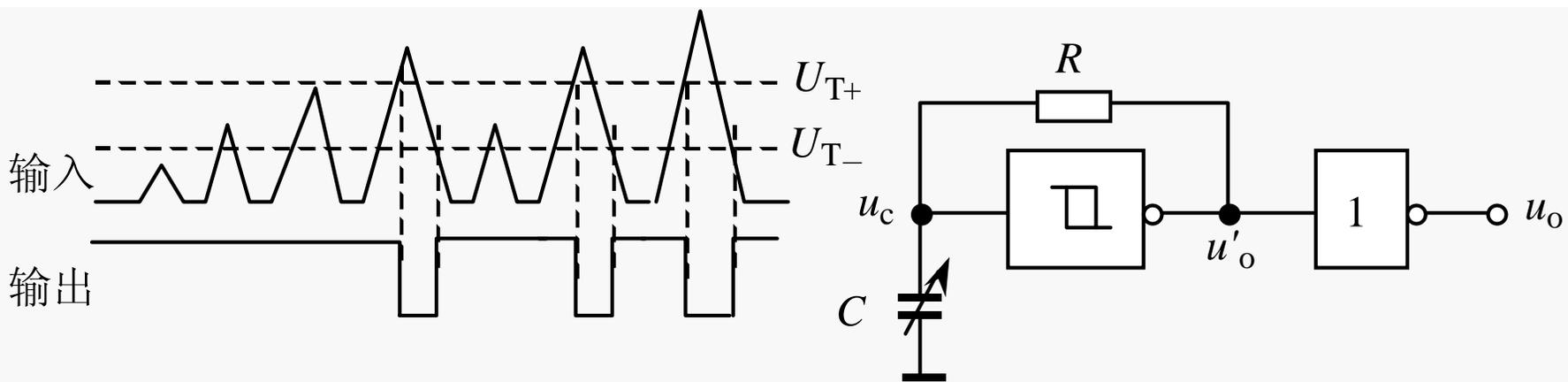
(3) u_i 下降到 $U_{CC}/3$ 时, 比较器 A_1 输出为 1、 A_2 输出跳变为 0, 触发器置 1, 即跳变到 $Q=1$ 、 $\bar{Q}=0$, u_{o1} 、 u_o 也随之跳变到 1。此后, u_i 继续下降到 0, 但 $u_{o1} = 1$ 、 $u_o = 1$ 的状态不会改变。

施密特触发器的应用



(a) 慢输入波形的 TTL 系统接口

(b) 整形电路的输入、输出波形



(c) 幅度鉴别的输入、输出波形

(d) 多谐振荡器